

Express Mail Label No. EL988082766US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT:	DONG-GYU KIM	) Group Art Unit: NYA
		)
FOR:	THIN FILM TRANSISTOR ARRAY	) Examiner: NYA
	PANEL AND MANUFACTURING	)
	METHOD THEREOF	)

CLAIM FOR PRIORITY

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Commissioner:

Enclosed herewith is a certified copy of Korean Patent Application No. 2002-0050778 filed on August 27, 2002. The enclosed Application is directed to the invention disclosed and claimed in the above-identified application.

Applicant hereby claims the benefit of the filing date of August 27, 2002, of the Korean Patent Application No. 2002-0050778, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

CANTOR COLBURN LLP

By: 

David A. Fox  
Reg. No. 38,807  
Cantor Colburn LLP  
55 Griffin Road South  
Bloomfield, CT 06002  
Telephone: (860) 286-2929  
PTO Customer No. 23413

Date: August 26, 2003



# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0050778  
Application Number PATENT-2002-0050778

출원년월일 : 2002년 08월 27일  
Date of Application AUG 27, 2002

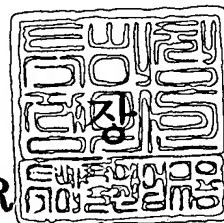
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003    년    01    월    28    일

특    허    청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.08.27
【발명의 명칭】	박막 트랜지스터 어레이 기판 및 그 제조 방법
【발명의 영문명칭】	a thin film transistor array panel and a method for manufacturing the panel
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	김원근 , 박종하
【포괄위임등록번호】	2002-036528-9
【발명자】	
【성명의 국문표기】	김동규
【성명의 영문표기】	KIM,DONG GYU
【주민등록번호】	630901-1162114
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 1167번지 523동 1305호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 인 (인) 유미특허법
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	36 면 36,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	65,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

## 【요약서】

## 【요약】

우선, 절연 기판의 상부에 크롬 등의 하부막과 알루미늄을 포함하는 상부막을 차례로 적층하고 패터닝하여 게이트선 및 게이트 전극을 포함하는 게이트 배선과 게이트 단락선 및 저항 단차용 연결선을 포함하는 제1 정전기 보호용 배선을 형성한다. 이어, 게이트 절연막 및 반도체층을 차례로 형성한 다음, 크롬 등의 하부막과 알루미늄을 포함하는 상부막을 차례로 적층하고 패터닝하여 데이터선, 소스 전극 및 드레인 전극을 포함하는 데이터 배선과 데이터 단락선 및 저항 단차용 연결선을 포함하는 제2 정전기 보호용 배선을 형성한다. 이어, 보호막을 적층하고 패터닝하여 드레인 전극 및 저항 단차용 연결선을 드러내는 접촉 구멍을 형성한 다음, 알루미늄 전면 식각으로 드러난 상부막을 제거하고, 보호막의 상부에 투명한 도전 물질을 적층하고 패터닝하여 드레인 전극과 연결되는 화소 전극을 형성한다.

## 【대표도】

도 1

## 【색인어】

선저항, 비저항, 저항단차, 알루미늄, 불꽃방전

## 【명세서】

## 【발명의 명칭】

박막 트랜지스터 어레이 기판 및 그 제조 방법{a thin film transistor array panel and a method for manufacturing the panel}

## 【도면의 간단한 설명】

도 1은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 구조를 개략적으로 도시한 배치도이고,

도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조를 구체적으로 도시한 배치도이고,

도 3 및 도 4는 도 2에서 III-III' 및 IV-IV' 선을 따라 잘라 도시한 각각의 단면도이고,

도 5a, 6a, 7a 및 8a는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 중간 과정에서의 박막 트랜지스터 기판의 배치도이고,

도 5b는 도 5a에서 Vb-Vb' 선을 따라 절단한 단면도이고,

도 6b는 도 6a에서 VIb-VIb' 선을 따라 잘라 도시한 도면으로서 도 5b의 다음 단계를 도시한 단면도이고,

도 7b는 도 7a에서 VIIb-VIIb' 선을 따라 잘라 도시한 도면으로서 도 6b의 다음 단계를 도시한 단면도이고,

도 8b는 도 8a에서 VIIIb-VIIIb' 선을 따라 잘라 도시한 도면으로서 도 7b의 다음 단계를 도시한 단면도이고,

도 9는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 배치도이고,

도 10, 도 11 및 도 12는 도 9에 도시한 박막 트랜지스터 어레이 기판을 X-X', XI-XI' 선 및 XII-XII'선을 따라 잘라 도시한 단면도이고,

도 13a는 본 발명의 제2 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 어레이 기판의 배치도이고,

도 13b, 도 13c 및 도 13d는 각각 도 13a에서 XIIIb-XIIIb' 선, XIIIc-XIIIc' 선 및 XIId-XIId' 선을 따라 잘라 도시한 단면도이며,

도 14a, 도 14b 및 도 14c는 각각 도 13a에서 XIIIb-XIIIb' 선, XIIIc-XIIIc' 선 및 XIId-XIId' 선을 따라 잘라 도시한 단면도로서, 도 13b, 도 13c 및 도 13d 다음 단계에서의 단면도이고,

도 15a는 도 14a, 도 14b 및 도 14c 다음 단계에서의 박막 트랜지스터 어레이 기판의 배치도이고,

도 15b, 도 15c 및 15d는 각각 도 15a에서 XVb-XVb' 선, XVc-XVc' 및 XVd-XVd' 선을 따라 잘라 도시한 단면도이며,

도 16a, 도 17a, 도 18a와 도 16b, 17b, 18b와 도 16c, 도 17c, 도 18c는 각각 도 15a에서 XVb-XVb' 선, XVc-XVc' 선 및 XVd-XVd' 선을 따라 잘라 도시한 단면도로서 도 15b, 도 15c 및 15d의 다음 단계들을 공정 순서에 따라 도시한 것이고,

도 19a는 도 18a 및 도 18b의 다음 단계에서의 박막 트랜지스터 어레이 기판의 배치도이고,

도 19b 내지 19d는 각각 도 19a에서 XIXb-XIXb' 선, XIXc-XIXc' 선 및 XIXd-XIXd' 선을 따라 잘라 도시한 단면도이다.

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<19> 본 발명은 박막 트랜지스터 어레이 기판 및 그 제조 방법에 관한 것으로서, 더욱 상세하게는 제조 공정시 발생하는 정전기를 방지하기 위한 정전기 보호 소자를 가지는 박막 트랜지스터 기판 및 그 제조 방법에 관한 것이다.

<20> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층과 두 기판의 바깥쪽에 부착되어 있는 편광판으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

<21> 이러한 액정 표시 장치를 제조하기 위해서는 마주하는 두 장의 절연 기판에는 동시에 여러 개의 액정 표시 장치용 액정 셀이 만들어진다. 여기서, 각각의 액정 셀은 화상이 표시되는 다수의 화소로 이루어지며 주사 신호 또는 영상 신호를 전달하기 위한 배선, 영상 신호를 제어하기 위한 박막 트랜지스터, 영상 신호가 전달되는 화소 전극 및 적, 녹, 청의 컬러 필터 등이 배치되어 있는 화면 표시부와 외부로부터 전기적인 신호가 전달되는 패드가 형성되어 있는 패드부와 제조 공정 중에 발생하는 정전기로부터 화면 표시부에 형성되어 있는 박막 트랜지스터와 같은 구동 소자가 파괴되는 것을 방지하기 위한 정전기 보호 소자가 형성되어 있는 주변부를 포함한다.

<22> 이때, 정전기 보호 소자는 액정 표시 장치의 제조 공정 중에 화소 불량을 검사할 수 있는 구조로 배선을 형성하고, 이후의 제조 공정에서 발생하는 정전기를 보다 용이하게 방전시킬 수 있는 동시에 화면 표시부의 배선을 형성할 때 별도로 추가되는 공정 없이 만들 수 있는 것이 바람직하다.

**【발명이 이루고자 하는 기술적 과제】**

<23> 본 발명이 이루고자 하는 기술적 과제는 제조 공정시 발생하는 정전기를 보다 용이하게 방전시킬 수 있는 박막 트랜지스터 어레이 기판을 제공하는 것이다.

<24> 본 발명의 다른 기술적 과제는 추가되는 공정 없이 정전기 보호 소자를 만들 수 있는 박막 트랜지스터 어레이 기판의 제조 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

<25> 본 발명에 따른 박막 트랜지스터 어레이 기판에는 다수의 신호선과 이들을 공통으로 연결하는 단락 선(shorting bar) 사이에 선 저항이 급격히 변하는 저항 단차부가 형성되어 있다.

<26> 더욱 상세하게, 본 발명에 따른 박막 트랜지스터 기판에는, 절연 기판 위에 게이트선, 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선이 형성되어 있으며, 게이트 절연막이 게이트 배선을 덮고 있다. 게이트 절연막 상부에는 반도체층이 형성되어 있으며, 그 상부에는 게이트선과 교차하는 데이터선, 데이터선에 연결되어 있는 소스 전극, 게이트 전극을 중심으로 소스 전극과 마주하는 드레인 전극을 포함하는 데이터 배선이 형성되어 있다. 또한 기판의 상부에는 게이트선 또는 데이터선에 각각 연결되어



있으며, 서로 다른 선 저항을 가지는 저항 단차부를 가지는 저항 단차용 배선이 형성되어 있고, 드레인 전극과 연결되어 있는 화소 전극이 형성되어 있다.

<27> 이때, 저항 단차용 배선은 하부막과 하부막보다 낮은 비저항을 가지는 상부막을 포함하며, 상부막의 일부가 제거되어 있는 것이 바람직하다.

<28> 데이터 배선과 화소 전극 사이에 보호막이 형성되어 있으며, 이러한 보호막은 저항 단차용 배선의 하부막을 드러내는 제1 접촉 구멍을 가지는 것이 바람직하다.

<29> 게이트 배선은 게이트선의 한쪽 끝에 연결되어 있는 게이트 패드를 포함하고, 데이터 배선은 데이터선의 한쪽 끝에 연결되어 있는 데이터 패드를 포함하고, 보호막은 게이트 패드 및 데이터 패드를 드러내는 제2 및 제3 접촉 구멍을 가지며, 화소 전극과 동일한 층에는 제2 및 제3 접촉 구멍을 통하여 게이트 패드 및 데이터 패드와 연결되어 있는 보조 게이트 패드 및 보조 데이터 패드가 더 형성될 수 있으며, 제1 접촉 구멍을 통하여 하부막과 접하고 있는 저항 단차용 도전막이 더 형성될 수 있다

<30> 이러한 본 발명에 따른 박막 트랜지스터 어레이 기판의 제조 방법에서는, 우선 기판 위에 제1 하부막과 제1 하부막보다 낮은 비저항을 가지는 제1 상부막을 적층하고 패터닝하여 게이트선 및 게이트 전극을 포함하는 게이트 배선과 제1 저항 단차용 연결선 및 게이트 단락선을 포함하는 제1 정전기 보호용 배선을 형성한다. 이어, 기판 위에 게이트 절연막을 적층하고, 게이트 절연막 상부에 반도체층을 형성한 다음, 제2 하부막과 제2 하부막보다 낮은 비저항을 가지는 제2 상부막을 적층하고 패터닝하여 데이터선, 소스 전극 및 드레인 전극을 포함하는 데이터 배선과 제2 저항 단차용 연결선 및 데이터 단락선을 포함하는 제2 정전기 보호용 배선을 형성한다. 이어, 제1 및 제2 저항 단차용 연결선의 상부막 일부를 제거하고, 드레인 전극과 연결되는 화소 전극을 형성한다.

- <31> 하부막은 크롬 또는 몰리브덴 또는 몰리브덴 합금으로 형성하고, 상부막은 알루미늄 또는 알루미늄 합금으로 형성할 수 있다.
- <32> 또한, 상부막을 제거하기 위해서는 데이터 배선과 화소 전극 사이에 보호막을 형성하고, 패터닝하여 제1 및 제2 저항 단차용 연결선을 드러내는 접촉 구멍을 형성한 다음, 접촉 구멍을 통하여 드러난 상부막을 식각하는 것이 바람직하다. 상부막은 알루미늄 식각액을 이용한 알루미늄 전면 식각 공정으로 제거한다.
- <33> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <34> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <35> 이제 본 발명의 실시예에 따른 배선, 이를 포함하는 박막 트랜지스터 어레이 기판 및 그의 제조 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.
- <36> 그러면, 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판에 대하여 상세히 설명한다.

- <37>        먼저, 도 1을 참조하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 구조에 대하여 설명하기로 한다.
- <38>        도 1은 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판의 구조를 개략적으로 도시한 배치도이다.
- <39>        도 1에서 보는 바와 같이, 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판(100)에는 화상이 표시되는 다수의 화소가 매트릭스의 형태로 배열되어 있으며 주사 신호 또는 게이트 신호를 전달하는 게이트 배선(200)과 데이터 신호 또는 영상 신호를 전달하는 데이터 배선(700)과, 각각의 화소에 형성되어 있으며 투명한 도전 물질 또는 반사도를 가지는 도전 물질로 이루어진 화소 전극, 게이트 배선(200) 및 데이터 배선(700)과 전기적으로 연결되어 있으며 게이트 배선(200)의 주사 신호를 통하여 데이터 배선(700)을 경유하여 화소 전극에 전달되는 영상 신호를 제어하는 박막 트랜지스터 등이 배치되어 있는 화면 표시부(A)와 외부로부터의 주사 신호 또는 영상 신호를 게이트 배선(200) 또는 데이터 배선(700)으로 전달하는 게이트 패드 및 데이터 패드가 균집되어 형성되어 있는 게이트 및 데이터 패드부(P)와 제조 공정 중에 발생하는 정전기를 방전시켜 화면 표시부에 형성되어 있는 박막 트랜지스터와 같은 소자가 파괴되는 것을 방지하기 위해 다수의 게이트 배선(200)과 데이터 배선(700)에 각각 연결되어 있는 저항 단차부(G)를 포함한다. 이때, 다수의 게이트 배선(200) 및 데이터 배선(700)은 게이트 및 데이터 패드부(P)와 저항 단차부(G)를 경유하여 게이트 단락선(128) 및 데이터 단락선(178)에 연결되어 있으며, 저항 단차부(G)와 게이트 단락선(128) 및 데이터 단락선(178)은 정전기 보호 소자에 속한다. 여기서, 저항 단차부(G)는 적어도 둘 이상이고 낮은 선저항을 가지는 부분과 높은 선저항을 가지는 부분을 포함하는 배선으로 이루어져 있으

며, 제조 공정시에 정전기가 발생하는 경우 정전기는 게이트 및 데이터 단락선(128, 178)을 통하여 다수의 게이트 배선(200) 및 데이터 배선(700)으로 퍼지게 되는데, 게이트 배선(200) 및 데이터 배선(700)으로 흐르기 전에 저항 단차부(G)에서는 선 저항의 차이가 급격히 변화로 인하여 불꽃 방전(spark discharge)이 발생하며, 이러한 통하여 정전기는 방전된다.

<40>       다음은, 이러한 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판에서 화면 표시부, 저항 단차부 및 패드부에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

<41>       먼저, 도 2 내지 도 4를 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 구조에 대하여 상세히 설명한다.

<42>       도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 3 및 도 4는 도 2에 도시한 박막 트랜지스터 어레이 기판을 III-III' 및 V-V' 선을 따라 잘라 도시한 각각의 단면도이다.

<43>       절연 기판(110) 위에는 높은 비저항을 가지는 몰리브덴 또는 몰리브덴 합금 또는 크롬 등으로 이루어진 하부막(201)과 하부막(201)보다 낮은 비저항을 가지는 은 또는 은 합금 또는 알루미늄 또는 알루미늄 합금 등으로 이루어진 상부막(202)을 포함하는 게이트 배선과 제1 정전기 보호용 배선이 테이퍼 구조로 형성되어 있다. 게이트 배선은 화면 표시부(A)에서 가로 방향으로 뻗어 있는 게이트선(121), 게이트선(121)의 끝에 연결되어 패드부(P)에 위치하며 외부로부터의 게이트 신호를 인가받아 게이트선(121)으로 전달하는 게이트 패드(125) 및 게이트선(121)에 연결되어 있으며 화면 표시부(A)에 위치하는 박막 트랜지스터의 게이트 전극(123)을 포함한다. 또한, 게이트 배선은 이후에 형성되는 화소 전극(190)과 연결되어 있는 유지 축전기용 도전체 패턴(177)과 중첩되어 화소

의 전하 보존 능력을 향상시키는 유지 축전기를 이룬다. 제1 정전기 보호용 배선은 저항 단차부(G)에 형성되어 있으며 게이트선(121) 맞은편에서 게이트 패드(125)에 연결되어 있는 저항 단차용 연결선(124) 및 다수의 게이트선(121)을 저항 단차용 연결선(124)을 통하여 공통으로 연결하는 게이트 단락선(128)을 포함한다. 이때, 게이트 배선(121, 123, 125) 및 제1 정전기 보호용 배선(124, 128)은 30-70° 정도의 경사각을 가지는 테이퍼 구조로 형성되어 있다.

<44> 기판(110) 위에는 질화 규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(140)이 게이트 배선(121, 125, 123) 및 제1 정전기 보호용 배선(124, 128)을 덮고 있다.

<45> 게이트 전극(125)의 게이트 절연막(140) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(150)이 형성되어 있으며, 반도체층(150)의 상부에는 실리콘사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항 접촉층(163, 165)이 각각 형성되어 있다.

<46> 저항 접촉층(163, 165) 또는 게이트 절연막(140) 위에는 높은 비저항을 가지는 몰리브덴 또는 몰리브덴 합금 또는 크롬 등으로 이루어진 하부막(701)과 하부막(701)보다 낮은 비저항을 가지는 은 또는 은 합금 또는 알루미늄 또는 알루미늄 합금 등으로 이루어진 상부막(702)을 포함하는 데이터 배선과 제2 정전기 보호용 배선이 형성되어 있다. 데이터 배선은 화면 표시부(A)에서 세로 방향으로 뻗어 게이트선(121)과 교차하여 화소 영역을 정의하는 데이터선(171), 데이터선(171)에 연결되어 저항 접촉층(163)의 상부까지 연장되어 있는 소스 전극(173), 데이터선(171)의 한쪽 끝에 연결되어 패드부(P)에 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(179), 소스 전극(173)과 분리되어 있으며 게이트 전극(123)에 대하여 소스 전극(173)의 반대쪽 저항 접촉층(165) 상부에

형성되어 있는 드레인 전극(175)을 포함한다. 또한, 데이터 배선은 유지 용량을 향상시키기 위해 게이트선(121)과 중첩되어 있으며, 이후에 형성되는 화소 전극(190)과 전기적으로 연결되어 있는 유지 축전기용 도전체 패턴(177)을 포함할 수 있다. 제2 정전기 보호용 배선은 저항 단차부(G)에 형성되어 있으며 데이터선(111) 맞은편에서 데이터 패드(179)에 연결되어 있는 저항 단차용 연결선(174) 및 다수의 데이터선(171)을 저항 단차용 연결선(178)을 통하여 공통으로 연결하는 데이터 단락선(178)을 포함한다.

<47> 데이터 배선(171, 173, 175, 177, 179), 제2 정전기 보호용 배선(174, 178) 및 이들이 가리지 않는 반도체층(150) 상부에는 평탄화 특성이 우수하며 감광성을 가지는 유기 물질 또는 a-Si:C:O:H 등을 포함하는 저유전율 절연 물질의 절연막을 포함하는 보호막(180)이 형성되어 있다. 여기서, 보호막(180)은 질화 규소로 이루어진 절연막을 더 포함할 수 있으며, 이러한 경우에 절연막은 유기 절연막의 하부에 위치하여 반도체층(150)을 직접 덮는 것이 바람직하다. 또한, 게이트 패드(125) 및 데이터 패드(179)가 위치하는 패드부(P)에서 유기 절연 물질은 완전히 제거하는 것이 바람직한데, 이러한 구조는 패드부에 게이트 패드(125) 및 데이터 패드(179)의 상부에 주사 신호 및 영상 신호를 각각 전달하기 위해 박막 트랜지스터 기판의 상부에 게이트 구동 집적 회로 및 데이터 구동 집적 회로를 직접 실장하는 COG(chip on glass) 방식의 액정 표시 장치에 적용할 때 특히 유리하다.

<48> 보호막(180)에는 드레인 전극(175), 유지 축전기용 도전체 패턴(177) 및 데이터 패드(179)를 각각 드러내는 접촉 구멍(185, 187, 189)이 형성되어 있으며, 게이트 절연막(140)과 함께 게이트 패드(125)를 드러내는 접촉 구멍(182)이 형성되어 있다. 또한, 보호막(180)에는 저항 단차용 연결선(124, 174)을 드러내는 접촉 구멍(184, 186)이 적어도

들 이상 형성되어 있다. 이때, 접촉 구멍(184, 186)은 저항 단차용 연결선(124, 174)의 경계선이 드러내는 것이 바람직하며, 그렇지 않을 수도 있다. 여기서, 접촉 구멍(124, 174)을 통하여 통하여 드러난 저항 단차용 연결선(124, 174)에서는 낮은 비저항을 가지는 상부막(202, 702)이 제거되어 저항 단차용 연결선(124, 174)의 다른 부분보다 접촉 구멍(184, 186)을 통하여 드러난 부분은 높은 선 저항을 가지게 된다. 따라서, 제조 공정시에 정전기가 발생하는 경우 정전기는 게이트 및 데이터 단락선(128, 178)을 통하여 다수의 게이트 배선(200) 및 데이터 배선(700)으로 퍼지게 되는데, 게이트 배선(200) 및 데이터 배선(700)으로 흐르기 전에 접촉 구멍(184, 186)에서 제거된 상부막(202, 702) 경계에서는 선 저항의 급격한 변화로 인하여 불꽃 방전(spark discharge)이 발생하며, 이러한 통하여 정전기는 방전된다. 여기서, 제조 공정시 불꽃 방전을 통하여 하부막(201, 701)은 단선될 수도 있다.

<49> 보호막(180) 상부에는 접촉 구멍(185)을 통하여 드레인 전극(175)과 전기적으로 연결되어 있고 화면 표시부(A)의 화소 영역에 위치하며, 투명한 도전 물질인 IZO(indium zinc oxide) 또는 ITO(indium tin oxide) 등으로 이루어진 화소 전극(190)이 형성되어 있다. 또한, 보호막(180) 위에는 접촉 구멍(182, 189)을 통하여 각각 게이트 패드(125) 및 데이터 패드(179)와 연결되어 있는 보조 게이트 패드(92) 및 보조 데이터 패드(97)가 패드부(P)에 형성되어 있다. 여기서, 보조 게이트 및 데이터 패드(92, 97)는 게이트 및 데이터 패드(125, 179)를 보호하기 위한 것이며, 필수적인 것은 아니다. 또한 보호막(180) 위에는 접촉 구멍(184, 186)을 통하여 저항 단차용 연결선(124, 174)에 접촉하는 저항 단차용 도전막(94, 96)이 형성되어 있다.

- <50> 이러한 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판은 낮은 비저항을 가지는 배선을 포함하고 있어 대화면의 액정 표시 장치의 동작 특성을 향상시킬 수 있으며, 제1 및 제2 정전기 보호용 배선을 통하여 제조 공정시 발생하는 정전기를 용이하게 방전시킬 수 있는 효과가 있다.
- <51> 그러면, 도 5a 내지 도 8c 및 도 2 내지 도 4를 참조하여 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법에 대하여 구체적으로 설명하기로 한다.
- <52> 먼저, 도 5a 내지 도 5c에 도시한 바와 같이, 유리 기판(110) 상부에 몰리브덴 또는 몰리브덴 합금 또는 크롬 등의 하부막(201)과 하부막(201)보다 낮은 비저항을 가지는 알루미늄 또는 알루미늄 합금 등의 상부막(202)을 차례로 적층하고, 마스크를 이용한 사진 식각 공정으로 상부막(202)과 하부막(201)을 함께 패터닝하여 게이트선(121), 게이트 전극(123) 및 게이트 패드(125)를 포함하는 게이트 배선과 게이트 단락선(128) 및 저항 단차용 연결선(14)을 포함하는 제1 정전기 보호용 배선을 테이퍼 구조로 형성한다.
- <53> 다음, 도 6a 내지 도 6c에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(140), 비정질 규소로 이루어진 반도체층(150), 도핑된 비정질 규소층(160)의 삼층막을 연속하여 적층하고 마스크를 이용한 패터닝 공정으로 반도체층(150)과 도핑된 비정질 규소층(160)을 패터닝하여 게이트 전극(125)과 마주하는 게이트 절연막(140) 상부에 반도체층(150)과 저항 접촉층(160)을 형성한다.
- <54> 다음, 도 7a 내지 도 7b에 도시한 바와 같이, 몰리브덴 또는 몰리브덴 합금 또는 크롬 등의 하부막(701)과 하부막(701)보다 낮은 비저항을 가지는 알루미늄 또는 알루미늄 합금 등의 상부막(702)을 차례로 적층하고, 마스크를 이용한 사진 식각 공정으로 상부막(702)과 하부막(701)을 함께 패터닝하여 게이트선(121)과 교차하는 데이터선(171),



데이터선(171)과 연결되어 게이트 전극(123) 상부까지 연장되어 있는 소스 전극(173), 데이터선(171)은 한쪽 끝에 연결되어 있는 데이터 패드(179), 소스 전극(173)과 분리되어 있으며 게이트 전극(123)을 중심으로 소스 전극(173)과 마주하는 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)을 포함하는 데이터 배선과 데이터 단락선(178) 및 저항 단차용 연결선(174)을 포함하는 제2 정전기 보호용 배선을 테이퍼 구조로 형성한다

<55> 이어, 데이터 배선(171, 173, 175, 177, 179)으로 가리지 않는 도핑된 비정질 규소층 패턴(160)을 식각하여 게이트 전극(123)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(163, 165) 사이의 반도체층 패턴(150)을 노출시킨다. 이어, 노출된 반도체층(150)의 표면을 안정화시키기 위하여 산소 플라즈마를 실시하는 것이 바람직하다.

<56> 다음으로, 도 9a 및 9b에서 보는 바와 같이, 질화 규소를 적층하거나 또는 평탄화 특성이 우수하며 감광성을 가지는 유기 물질을 기판(110)의 상부에 코팅(coating)하거나 PECVD(plasma enhanced chemical vapor deposition) 방법으로 a-Si:C:O 막 또는 a-Si:O:F 막 등의 저유전율 CVD막을 증착하여 보호막(180)을 형성한다. 이어, 마스크를 이용한 사진 식각 공정으로 게이트 절연막(140)과 함께 패터닝하여, 게이트 패드(125), 드레인 전극(175), 데이터 패드(179) 및 유지 축전기용 도전체 패턴(177)을 드러내는 접촉 구멍(182, 185, 189, 187)과 제1 및 제2 정전기 보호용 배선의 저항 단차용 연결선(174, 124)을 드러내는 접촉 구멍(184,

186)을 하나 이상 형성한다. 이어, 알루미늄 식각액을 이용한 알루미늄 전면 식각 공정을 통하여 접촉 구멍(182, 185, 189, 187, 174, 124)을 통하여 드러난 상부막(202, 702)을 제거한다. 이렇게, 접촉부에서 접촉 구멍(182, 185, 189, 187)을 통하여 드러난 게이트 패드(125), 드레인 전극(175), 데이터 패드(179) 및 유지 축전기용 도전체 패턴(177)의 상부막(202, 702)을 제거할 때, 저항 단차용 연결선(174, 124)을 드러내는 접촉 구멍(184, 186)을 통하여 드러난 상부막(202, 702)을 제거함으로써 추가되는 공정 없이 저항 단차용 연결선(174, 124)에 선 저항이 다른 두 부분을 형성할 수 있다.

<57> 다음, 도 2 내지 도 4에서 보는 바와 같이, 투명 도전 물질을 증착하고 마스크를 이용한 사진 식각 공정으로 패터닝하여 접촉 구멍(187, 185)을 통하여 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)의 하부막(701)과 연결되는 화소 전극(190)과 접촉 구멍(182, 189)을 통하여 게이트 패드(125) 및 데이터 패드(179)의 하부막(201, 701)과 각각 연결되는 보조 게이트 패드(92) 및 보조 데이터 패드(97)를 각각 형성한다. 또한, 접촉 구멍(184, 186)을 통하여 드러난 저항 단차용 연결선(174, 124)의 하부막(201, 701)과 연결되는 저항 단차용 도전막(94, 96)을 형성한다.

<58> 이후의 제조 공정에서 제1 및 제2 정전기 보호용 배선(124, 128, 174, 178)은 게이트 배선 및 데이터 배선의 단선 및 단락 또는 화소의 결함을 검사할 때 전기적인 신호를 인가하기 위한 배선으로 사용된다. 또한, 이후의 제조 공정시에 발생하는 정전기로부터 화면 표시부의 박막 트랜지스터가 손상되는 것을 방지하기 위

한 정전기 보호 소자로 사용되며, 방전시 제1 및 제2 정전기 보호용 배선(124, 128, 174, 178) 중 상부막(202, 702)이 제거된 부분에서 단선이 발생할 수 있다. 여기서, 박막 트랜지스터 어레이 기판과 이와 마주하는 대향 기판을 결합하여 액정 표시 장치를 완성한 다음에는 게이트 배선 및 데이터 배선으로부터 제1 및 제2 정전기 보호용 배선(124, 128, 174, 178)을 전기적으로 분리한다.

<59> 앞에서는 반도체층과 데이터 배선을 서로 다른 마스크를 이용한 사진 식각 공정으로 형성하는 제조 방법에 본 발명의 실시예를 적용하여 설명하였지만, 본 발명의 실시예는 제조 비용을 최소화하기 위하여 반도체층과 데이터 배선을 하나의 감광막 패턴을 이용한 사진 식각 공정으로 형성하는 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

<60> 먼저, 도 9 내지 도 12를 참고로 하여 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 단위 화소 구조에 대하여 상세히 설명한다.

<61> 도 9는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 10 내지 도 12는 각각 도 9에 도시한 박막 트랜지스터 기판을 X-X' 선, XI-XI' 선 및 XII-XII' 선을 따라 잘라 도시한 단면도이다.

<62> 먼저, 절연 기판(110) 위에 제1 실시예와 동일하게 하부막(201) 및 하부막 보다 낮은 비저항을 가지는 상부막(202)을 포함하며, 게이트선(121), 게이트 패드(125) 및 게이트 전극(123)을 포함하는 게이트 배선 및 게이트 단락선(128) 및 저항 단차용 연결선(124)을 포함하는 제1 정전기 보호용 배선이 테이퍼 구조로 형

성되어 있다. 그리고, 기판(110) 상부에는 게이트선(121)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가받는 유지 전극선(131) 및 유지 전극선(131)에 연결되어 있는 유지 전극(133)을 포함하는 유지 배선이 형성되어 있다. 유지 전극(133)은 후술할 화소 전극(190)과 연결된 유지 축전기용 도전체 패턴(177)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(190)과 게이트선(121)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다. 이때, 게이트 배선(121, 123, 125), 유지 배선(131, 133) 및 제1 정전기 보호용 배선(124, 128)은 30-70° 정도의 경사각을 가지는 테이퍼 구조를 가진다.

<63> 게이트 배선(121, 125, 123), 제1 정전기 보호용 배선(124, 128) 및 유지 배선(131, 133) 위에는 질화 규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(140)이 형성되어 게이트 배선(121, 125, 123)과 제1 정전기 보호용 배선(124, 128)과 유지 배선(131, 133)을 덮고 있다.

<64> 게이트 절연막(140) 위에는 다결정 규소 또는 비정질 규소 등으로 이루어진 반도체 패턴(152, 157)이 형성되어 있으며, 반도체 패턴(152, 157) 위에는 인(P) 따위의 n형 또는 p형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(163, 165, 167)이 형성되어 있다.

<65> 저항성 접촉층 패턴(163, 165, 167) 위에는 제1 실시예와 동일하게 하부막(701)과 하부막(701)보다 낮은 비저항을 가지는 상부막(702)을 포함하는 데이터 배선과 제2 정전기 보호용 배선이 테이퍼 구조로 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(171), 데이터선(171)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(179), 그리고 데이터선(171)의 분지인 박막 트랜지스터의 소스

전극(173)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(171, 179, 173)와 분리되어 있으며 게이트 전극(123) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(173)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(175)과 유지 전극(133) 위에 위치하고 있는 유지 축전기용 도전체 패턴(177)도 포함한다. 유지 배선(131, 133)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(177) 또한 형성하지 않는다. 여기서, 유지 축전기용 도전체 패턴(177)이 드레인 전극(175)에 연결되어 있지만, 그렇지 않을 수도 있다. 제2 정전기 보호용 배선은 저항 단차부(G)에 형성되어 있으며 데이터선(111) 맞은편에서 데이터 패드(179)에 연결되어 있는 저항 단차용 연결선(174) 및 다수의 데이터선(171)을 저항 단차용 연결선(178)을 통하여 공통으로 연결하는 데이터 단락선(178)을 포함한다. 이때, 데이터 배선(171, 173, 175, 177, 179) 및 제2 정전기 보호용 배선(174, 178)은 30-80° 정도의 경사각을 가지는 테이퍼 구조를 가질 수 있으며, 접촉층 패턴(163, 165, 167)은 그 하부의 반도체 패턴(152, 157) 또한 그러하다.

<66> 접촉층 패턴(163, 165, 167)은 그 하부의 반도체 패턴(152, 157)과 그 상부의 데이터 배선(171, 173, 175, 177, 179)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(171, 173, 175, 177, 179) 및 제2 정전기 보호용 배선(174, 178)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(163)은 데이터선부(171, 179, 173)와 동일하고, 드레인 전극용 중간층 패턴(163)은 드레인 전극(173)과 동일하며, 유지 축전기용 중간층 패턴(167)은 유지 축전기용 도전체 패턴(177)과 동일하다.

<67> 한편, 반도체 패턴(152, 157)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(171, 173, 175, 177, 179), 제2 정전기 보호용 배선(174, 178) 및 저항성 접촉층 패턴(163, 165, 167)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체

패턴(157)과 유지 축전기용 도전체 패턴(177) 및 유지 축전기용 접촉층 패턴(167)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(152)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(171, 179, 173), 특히 소스 전극(173)과 드레인 전극(175)이 분리되어 있고 데이터선부 중간층(163)과 드레인 전극용 접촉층 패턴(165)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(152)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

<68> 데이터 배선(171, 173, 175, 177, 179) 및 데이터 배선으로 가리지 않는 반도체층(152) 상부에는 질화 규소 또는 산화 규소로 이루어진 절연막 또는 낮은 유전율을 가지는 유기 물질로 이루어진 유기 절연막 또는 저유전율 CVD막을 포함하는 보호막(180)이 형성되어 있다.

<69> 보호막(180)은 데이터 패드(179) 및 유지 축전기용 도전체 패턴(177)을 드러내는 접촉 구멍(189, 187)을 가지고 있으며, 또한 게이트 절연막(140)과 함께 게이트 패드(125)를 드러내는 접촉 구멍(182)을 가지고 있다. 또한, 제1 및 제2 정전기 보호용 배선(124, 128, 174, 178)의 저항 단타용 연결선(124, 174)을 드러내는 접촉 구멍(184, 186)을 가지고 있다. 제1 실시예와 동일하게 접촉 구멍(184, 186, 187, 189)에서는 상부막(202, 702)이 제거되어 하부막(201, 701)이 드러나 있다.

<70> 보호막(180) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(190)이 형성되어 있다. 화소 전극(190)은 IZO 또는 ITO 따위의 투명한 도전 물질로 이루어져 있으며 접촉 구멍(187)을 통하여 드레인 전극(175)과 연결되어 있는 유지 축전기용 도전체 패턴(177)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(190)은 또한 이웃하는 게이트선(121) 및 데이터선(171)

과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 화소 전극(190)은 접촉 구멍(187)을 통하여 유지 축전기용 도전체 패턴(177)과도 연결되어 도전체 패턴(177)으로 화상 신호를 전달한다. 한편, 게이트 패드(125) 및 데이터 패드(179) 위에는 접촉 구멍(182, 189)을 통하여 각각 이들과 연결되는 보조 게이트 패드(92) 및 보조 데이터 패드(97)가 형성되어 있으며, 이들은 패드(125, 179)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다. 또한 보호막(180) 위에는 접촉 구멍(184, 186)을 통하여 저항 단차용 연결선(124, 174)에 접촉하는 저항 단차용 도전막(94, 96)이 형성되어 있다.

<71> 그러면, 도 9 내지 도 12의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 어레이 기판을 제조하는 방법에 대하여 상세하게 도 9 내지 도 12와 도 13a 내지 도 19d를 참조하여 설명하기로 한다.

<72> 먼저, 도 13a 내지 13d에 도시한 바와 같이, 제1 실시예와 동일하게 하부막(701)과 하부막(701)보다 낮은 비저항을 가지는 상부막(702)을 차례로 적층하고 마스크를 이용한 사진 식각 공정으로 패터닝하여 게이트선(121), 게이트 패드(125) 및 게이트 전극(123)을 포함하는 게이트 배선과 유지 전극선(131) 및 유지 전극(133)을 포함하는 유지 배선과 게이트 단락선(128) 및 저항 단차용 연결선(124)을 포함하는 제1 정전기 보호용 배선을 테이퍼 구조로 형성한다.

<73> 다음, 도 14a 내지 14c에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(140), 도핑되지 않은 비정질 규소의 반도체층(150), 도핑된 비정질 규소의 중간층(160)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 1400 Å 내지 600 Å의 두께로 연속 증착한다. 이어, 제1 실시예와 동일하게 하부막

(701)과 하부막(701)보다 낮은 비저항을 가지는 상부막(702)을 포함하는 도전체층(170)을 스퍼터링 등의 방법으로 1,500 Å 내지 3,000 Å의 두께로 증착한 다음 그 위에 감광막(210)을 1  $\mu\text{m}$  내지 2  $\mu\text{m}$ 의 두께로 도포한다.

<74> 그 후, 마스크를 통하여 감광막(210)에 빛을 조사한 후 현상하여 도 15b 내지 15d에 도시한 바와 같이, 감광막 패턴(212, 214)을 형성한다. 이때, 감광막 패턴(212, 214) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(173)과 드레인 전극(175) 사이에 위치한 제1 부분(214)은 배선부(A), 즉 데이터 배선(171, 173, 175, 177, 179) 및 제2 정전기 보호용 배선(174, 178)이 형성될 부분에 위치한 제2 부분(212)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막(214)의 두께와 데이터 배선부(A)에 남아 있는 감광막(212)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(214)의 두께를 제2 부분(212)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

<75> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

<76> 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.



<77> 이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

<78> 이러한 얇은 두께의 감광막(214)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.

<79> 이어, 감광막 패턴(214) 및 그 하부의 막들, 즉 도전체층(170), 중간층(160) 및 반도체층(150)에 대한 식각을 진행한다. 이때, 배선부(A)에는 데이터 배선과 제2 정전기 보호용 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(170, 160, 150)이 모두 제거되어 게이트 절연막(140)이 드러나야 한다.

<80> 먼저, 도 16a 내지 16c에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(170)을 제거하여 그 하부의 중간층(160)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(170)은 식각되고 감광막 패턴(212, 214)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(170)만을 식각하고 감광막 패턴(212, 214)은 식각되지 않는 조건을 찾기

가 어려우므로 감광막 패턴(212, 214)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(214)의 두께를 두껍게 하여 이 과정에서 제1 부분(214)이 제거되어 하부의 도전체층(170)이 드러나는 일이 생기지 않도록 한다.

<81> 이렇게 하면, 도 16a 내지 도 16c에 나타난 것처럼, 채널부(C) 및 데이터 배선부(A)의 도전체층(176)과 유지 축전기용 도전체 패턴(177)만이 남고 기타 부분(B)의 도전체층(170)은 모두 제거되어 그 하부의 중간층(160)이 드러난다. 이때 남은 도전체 패턴(176, 177)은 소스 및 드레인 전극(173, 175)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(171, 177, 173, 175, 179) 및 제2 정전기 보호용 배선(174, 178)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(212, 214)도 어느 정도의 두께로 식각된다.

<82> 이어, 도 17a 내지 17c에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(160) 및 그 하부의 반도체층(150)을 감광막의 제1 부분(214)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(212, 214)과 중간층(160) 및 반도체층(150)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(140)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(212, 214)과 반도체층(150)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어,  $\text{SF}_6$ 과  $\text{HCl}$ 의 혼합 기체나,  $\text{SF}_6$ 과  $\text{O}_2$ 의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(212, 214)과 반도체층(150)에 대한 식각비가 동일한 경우 제1 부분(214)의 두께는 반도체층(150)과 중간층(160)의 두께를 합한 것과 같거나 그보다 작아야 한다.

- <83> 이렇게 하면, 도 17a 내지 17c에 나타낸 바와 같이, 채널부(C)의 제1 부분(214)이 제거되어 소스/드레인용 도전체 패턴(176)이 드러나고, 기타 부분(B)의 중간층(160) 및 반도체층(150)이 제거되어 그 하부의 게이트 절연막(140)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(212) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(152, 157)이 완성된다. 도면 부호 168과 167은 각각 소스/드레인용 도전체 패턴(176) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(177) 하부의 중간층 패턴을 가리킨다.
- <84> 이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(178) 표면에 남아 있는 감광막 찌꺼기를 제거한다.
- <85> 다음, 도 18a 내지 18b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(176) 및 그 하부의 소스/드레인용 중간층 패턴(168)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(176)과 중간층 패턴(168) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(176)에 대해서는 습식 식각으로, 중간층 패턴(168)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(176)과 중간층 패턴(168)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 남는 반도체 패턴(152)의 두께를 조절하기가 쉽지 않기 때문이다. 중간층 패턴(168) 및 반도체 패턴(152)을 식각할 때 사용하는 식각 기체의 예로는 앞에서 언급한  $CF_4$ 와  $HCl$ 의 혼합 기체나  $CF_4$ 와  $O_2$ 의 혼합 기체를 들 수 있으며,  $CF_4$ 와  $O_2$ 를 사용하면 균일한 두께로 반도체 패턴(152)을 남길 수 있다. 이때, 도 18b에 도시한 것처럼 반도체 패턴(152)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분

(212)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(140)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(212)이 식각되어 그 하부의 데이터 배선(171, 173, 175, 177, 179) 및 제2 정전기 보호용 배선(174, 178)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

<86> 이렇게 하면, 소스 전극(173)과 드레인 전극(175)이 분리되면서 데이터 배선(171, 173, 175, 177, 179) 및 제2 정전기 보호용 배선(174, 178)과 그 하부의 접촉층 패턴(163, 165, 167)이 완성된다.

<87> 마지막으로 배선부(A)에 남아 있는 감광막 제2 부분(212)을 제거한다. 그러나, 제2 부분(212)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(176)을 제거한 후 그 밑의 중간층 패턴(168)을 제거하기 전에 이루어질 수도 있다.

<88> 앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

<89> 이와 같이 하여 데이터 배선(171, 173, 175, 177, 179) 및 제2 정전기 보호용 배선(174, 178)을 형성한 후, 도 19a 내지 19d에 도시한 바와 같이 제1 실시예와 같은 절연 물질을 적층하여 보호막(180)을 형성하고, 마스크를 이용하여 보호막(180)을 게이트 절연막(140)과 함께 식각하여 게이트 패드(125), 데이터 패드(179) 및 유지 축전기용 도전체 패턴(177)을 각각 드러내는 접촉 구멍(182, 189,

187) 및 적어도 하나 이상의 저항 단차용 연결선(124, 174)을 드러내는 접촉 구멍(184, 186)을 형성한다. 이어, 알루미늄 식각액을 이용한 알루미늄 전면 식각 공정을 통하여 접촉 구멍(184, 186, 187, 189)을 통하여 드러난 알루미늄 또는 알루미늄 합금의 상부막(202, 702)을 제거한다.

<90> 이어, 도 9 내지 도 12에 도시한 바와 같이, 500 Å 내지 1,000 Å 두께의 IZO 또는 ITO를 증착하고 마스크를 사용하여 식각하여 드레인 전극(175) 및 유지 축전기용 도 전체 패턴(177)과 연결된 화소 전극(190), 게이트 패드(125)와 연결된 보조 게이트 패드(92) 및 데이터 패드(179)와 연결된 보조 데이터 패드(97)를 형성하고, 접촉 구멍(184, 186)을 통하여 저항 단차용 연결선(124, 174)의 하부막(201, 701)과 접촉하는 저항 단차용 도전막(94, 96)을 형성한다.

<91> 이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터 배선(171, 173, 175, 177, 179)과 그 하부의 접촉층 패턴(163, 165, 167) 및 반도체 패턴(152, 157)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(173)과 드레인 전극(175)이 분리하여 제조 공정을 단순화할 수 있다.

<92> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

**【발명의 효과】**

<93> 이와 같이, 본 발명에서는 정전기 보호용 배선을 이용하여 제조 공정시에 발생하는 정전기를 용이하게 방전시킬 수 있으며, 이러한 정전기 보호용 배선은 추가 공정 없이 박막 트랜지스터의 제조 공정에서 형성할 수 있다.

**【특허청구범위】****【청구항 1】**

절연 기판,

상기 절연 기판 위에 형성되어 있으며, 게이트선, 상기 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선,

상기 게이트 배선을 덮는 게이트 절연막,

상기 게이트 절연막 상부에 형성되어 있는 반도체층,

상기 반도체층 상부에 형성되어 있으며, 상기 게이트선과 교차하는 데이터선, 상기 데이터선에 연결되어 있는 소스 전극, 상기 게이트 전극을 중심으로 상기 소스 전극과 마주하는 드레인 전극을 포함하는 데이터 배선,

상기 게이트선 또는 상기 데이터선에 각각 연결되어 있으며, 서로 다른 선 저항을 가지는 저항 단차부를 가지는 저항 단차용 배선,

상기 드레인 전극과 연결되어 있는 화소 전극

을 포함하는 박막 트랜지스터 어레이 기판.

**【청구항 2】**

제1항에서,

상기 저항 단차용 배선은 하부막과 상기 하부막보다 낮은 비저항을 가지는 상부막을 포함하며, 상기 상부막의 일부가 제거되어 있는 박막 트랜지스터 어레이 기판.

**【청구항 3】**

제2항에서,

상기 데이터 배선과 상기 화소 전극 사이에 형성되어 있는 보호막을 더 포함하는 박막 트랜지스터 어레이 기판.

**【청구항 4】**

제3항에서,

상기 보호막은 상기 저항 단차용 배선의 하부막을 드러내는 제1 접촉 구멍을 가지는 박막 트랜지스터 어레이 기판.

**【청구항 5】**

제4항에서,

상기 게이트 배선은 상기 게이트선의 한쪽 끝에 연결되어 있는 게이트 패드를 포함하고, 상기 데이터 배선은 상기 데이터선의 한쪽 끝에 연결되어 있는 데이터 패드를 포함하고,

상기 보호막은 상기 게이트 패드 및 상기 데이터 패드를 드러내는 제2 및 제3 접촉 구멍을 가지며,

상기 화소 전극과 동일한 층에 형성되어 있으며, 상기 제2 및 제3 접촉 구멍을 통하여 상기 게이트 패드 및 상기 데이터 패드와 연결되어 있는 보조 게이트 패드 및 보조 데이터 패드를 더 포함하는 박막 트랜지스터 어레이 기판.

**【청구항 6】**

제4항에서,



상기 화소 전극과 동일한 층에 형성되어 있으며, 상기 제1 접촉 구멍을 통하여 상기 하부막과 접하고 있는 저항 단차용 도전막을 더 포함하는 박막 트랜지스터 어레이 기판.

#### 【청구항 7】

제1항에서,

상기 반도체층과 상기 데이터 배선 사이에 형성되어 있으며 고농도 불순물이 도핑되어 있는 저항성 접촉층을 더 포함하는 박막 트랜지스터 어레이 기판.

#### 【청구항 8】

제1항에서,

상기 소스 전극과 상기 드레인 전극 사이의 채널부를 제외한 상기 반도체층은 상기 데이터 배선과 동일한 패턴을 가지는 박막 트랜지스터 어레이 기판.

#### 【청구항 9】

기판 위에 제1 하부막과 상기 제1 하부막보다 낮은 비저항을 가지는 제1 상부막을 적층하고 패터닝하여 게이트선 및 게이트 전극을 포함하는 게이트 배선과 제1 저항 단차용 연결선 및 게이트 단락선을 포함하는 제1 정전기 보호용 배선을 형성하는 단계,

상기 기판 위에 게이트 절연막을 적층하는 단계,

상기 게이트 절연막 상부에 반도체층을 형성하는 단계,

제 2 하부막과 상기 제2 하부막보다 낮은 비저항을 가지는 제2 상부막을 적층하고 패터닝하여 데이터선, 소스 전극 및 드레인 전극을 포함하는 데이터 배선과 제2 저항 단차용 연결선 및 데이터 단락선을 포함하는 제2 정전기 보호용 배선을 형성하는 단계,

상기 제1 및 제2 저항 단차용 연결선의 상부막 일부를 제거하는 단계,

상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계

를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

【청구항 10】

제9항에서,

상기 하부막은 크롬 또는 몰리브덴 또는 몰리브덴 합금으로 형성하고, 상기 상부막은 알루미늄 또는 알루미늄 합금으로 형성하는 박막 트랜지스터 어레이 기판의 제조 방법.

【청구항 11】

제10항에서,

상기 데이터 배선과 상기 화소 전극 사이에 보호막을 형성하는 단계를 더 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

【청구항 12】

제11항에서,

상기 상부막 제거 단계는,

상기 보호막을 패터닝하여 상기 제1 및 제2 저항 단차용 연결선을 드러내는 접촉 구멍을 형성하는 단계와 상기 접촉 구멍을 통하여 드러난 상기 상부막을 식각하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법.

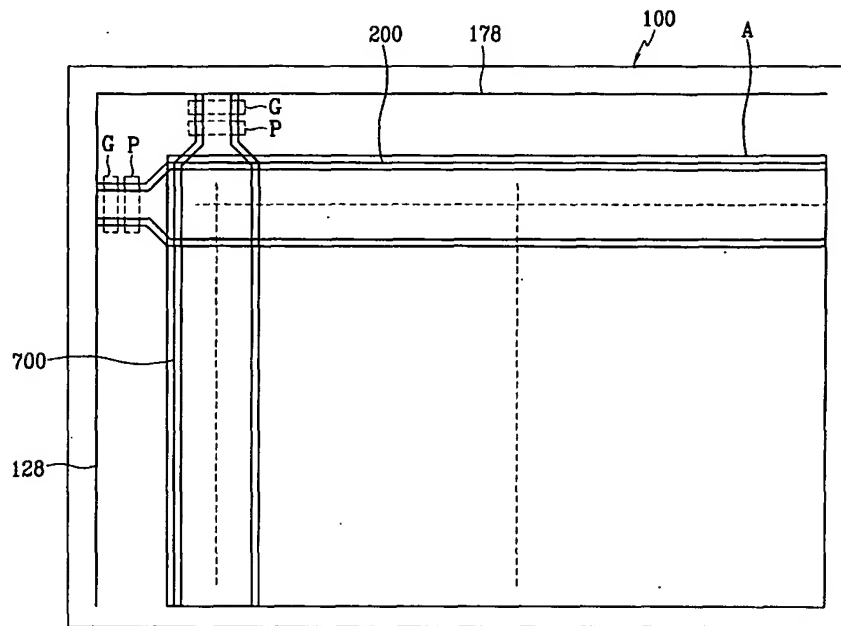
【청구항 13】

제12항에서,

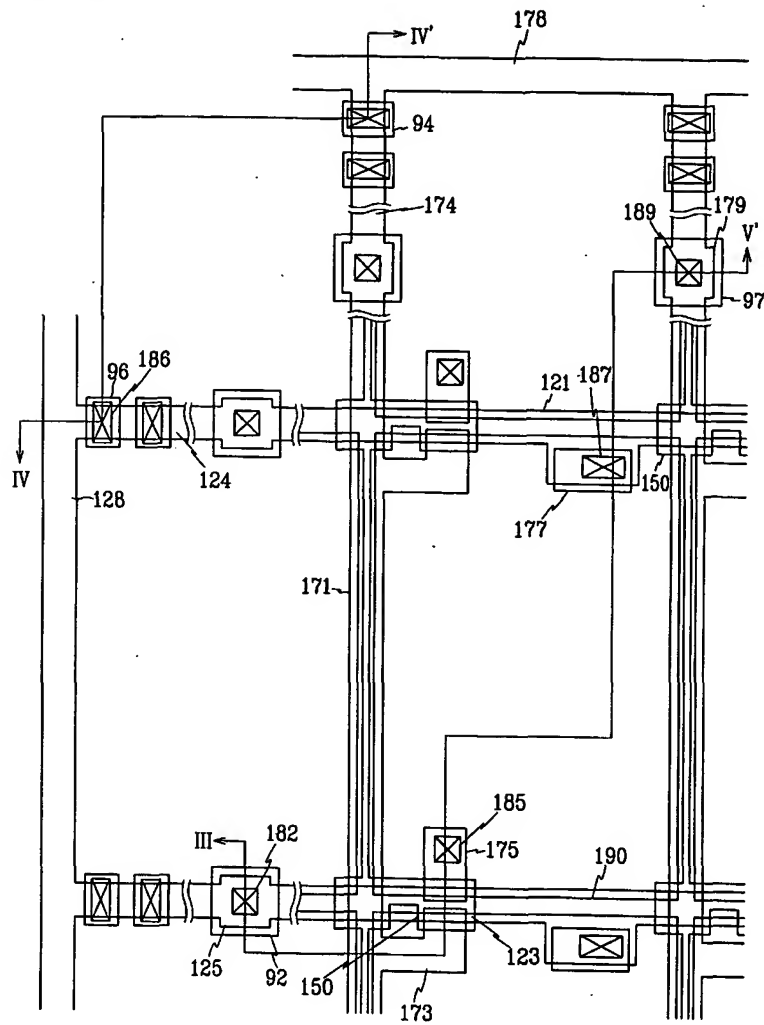
상기 상부막을 식각하는 단계는 알루미늄 식각액을 이용한 알루미늄 전면 식각 공정으로 실시하는 박막 트랜지스터 어레이 기판의 제조 방법.

## 【도면】

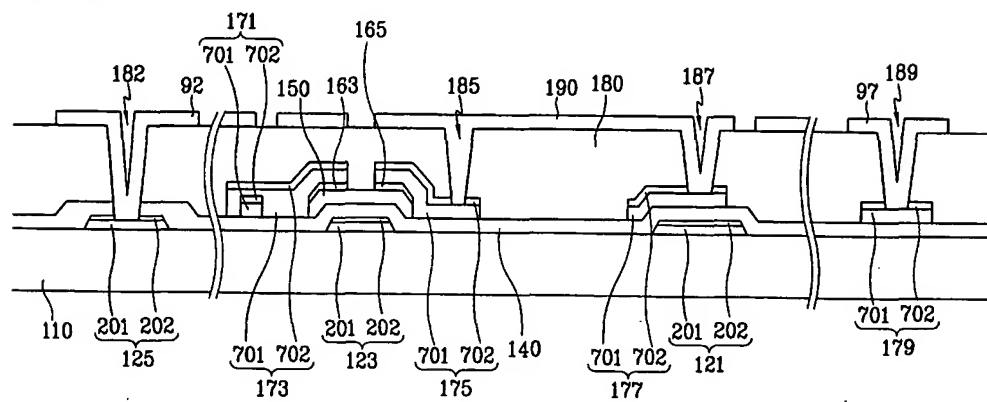
【도 1】



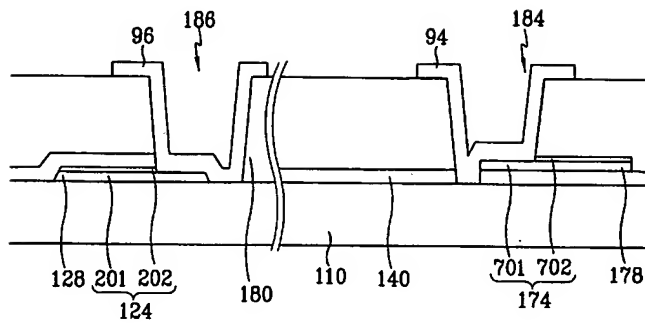
【도 2】



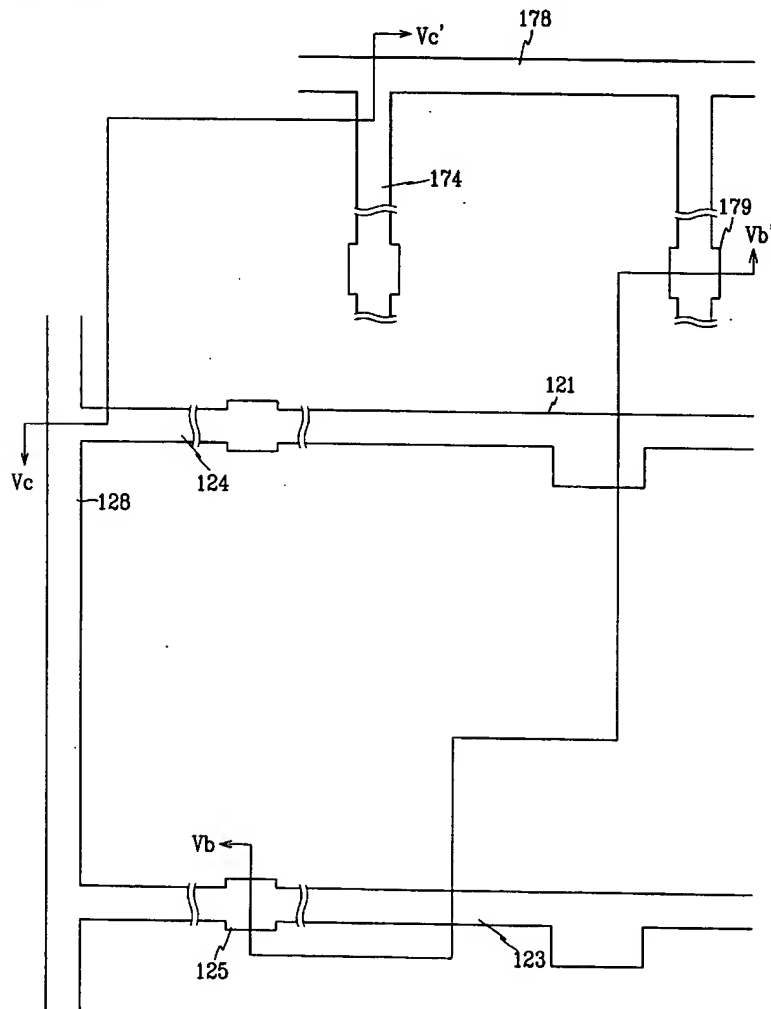
【도 3】



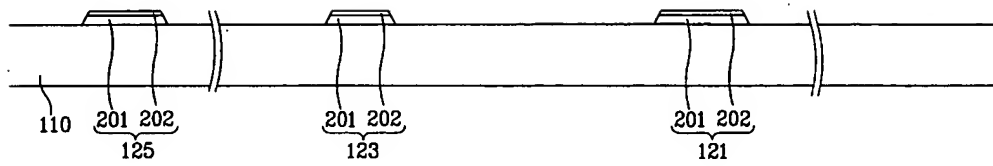
【도 4】



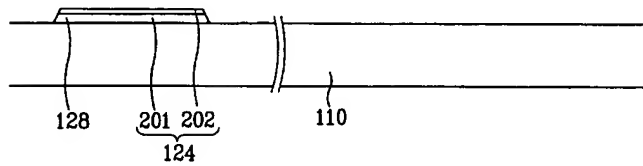
【도 5a】



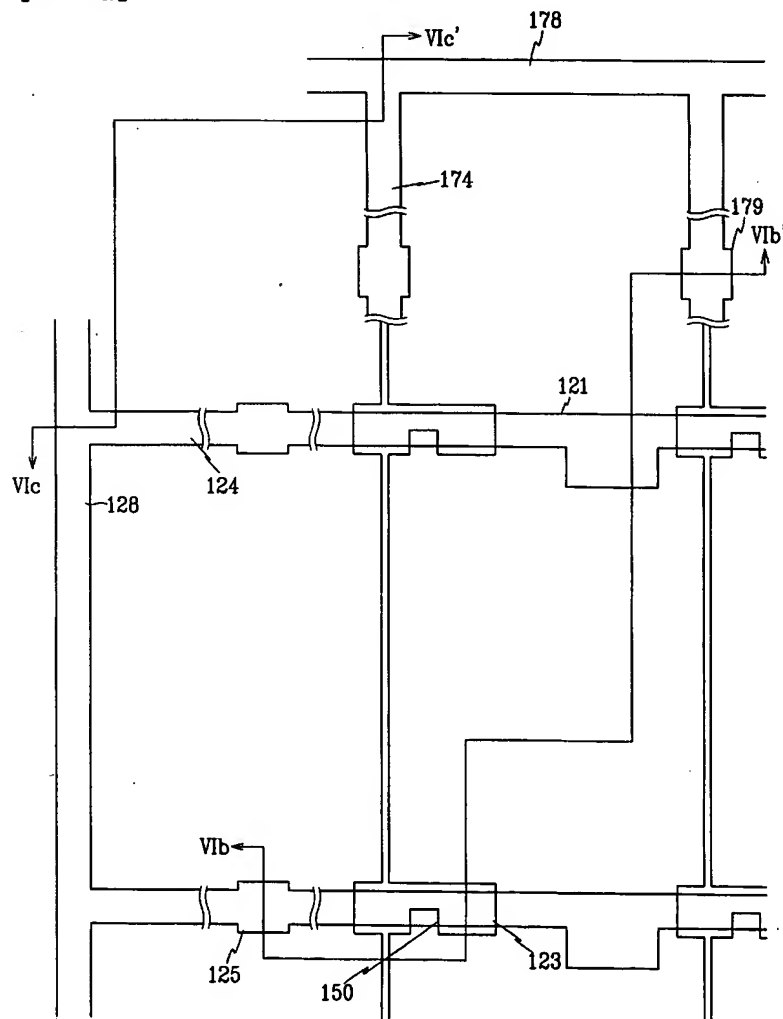
【도 5b】



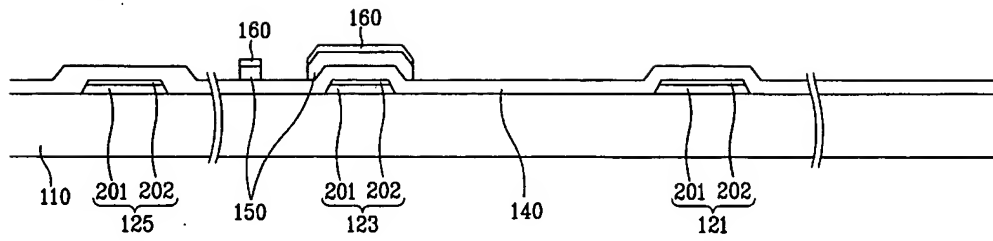
【도 5c】



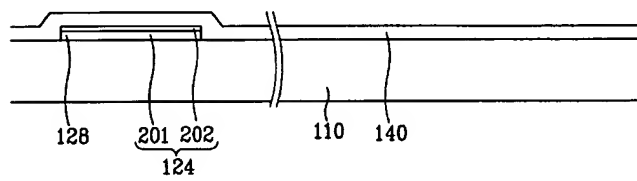
【도 6a】



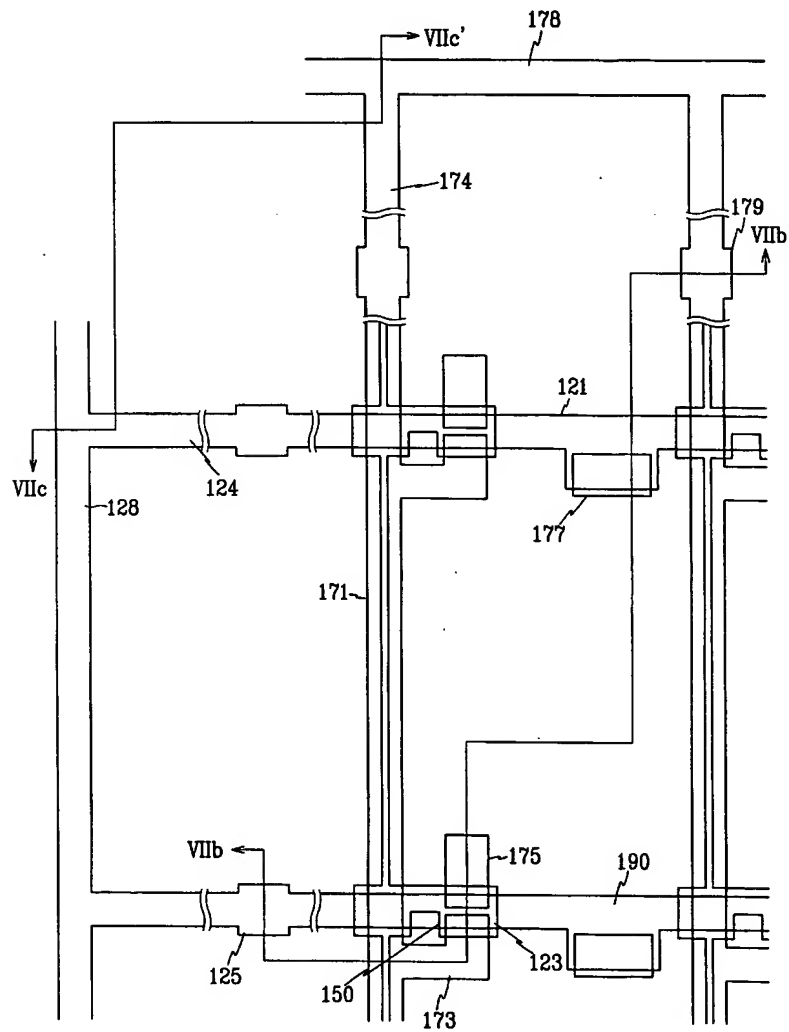
【도 6b】



【도 6c】

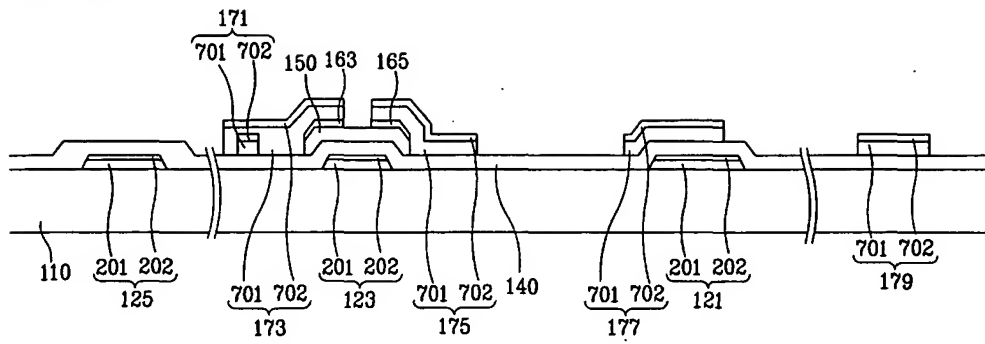


【도 7a】

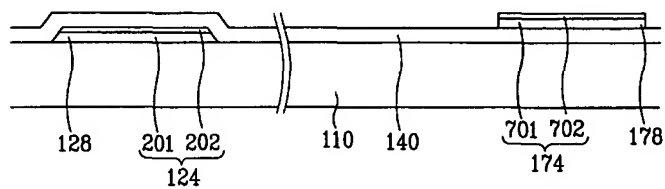




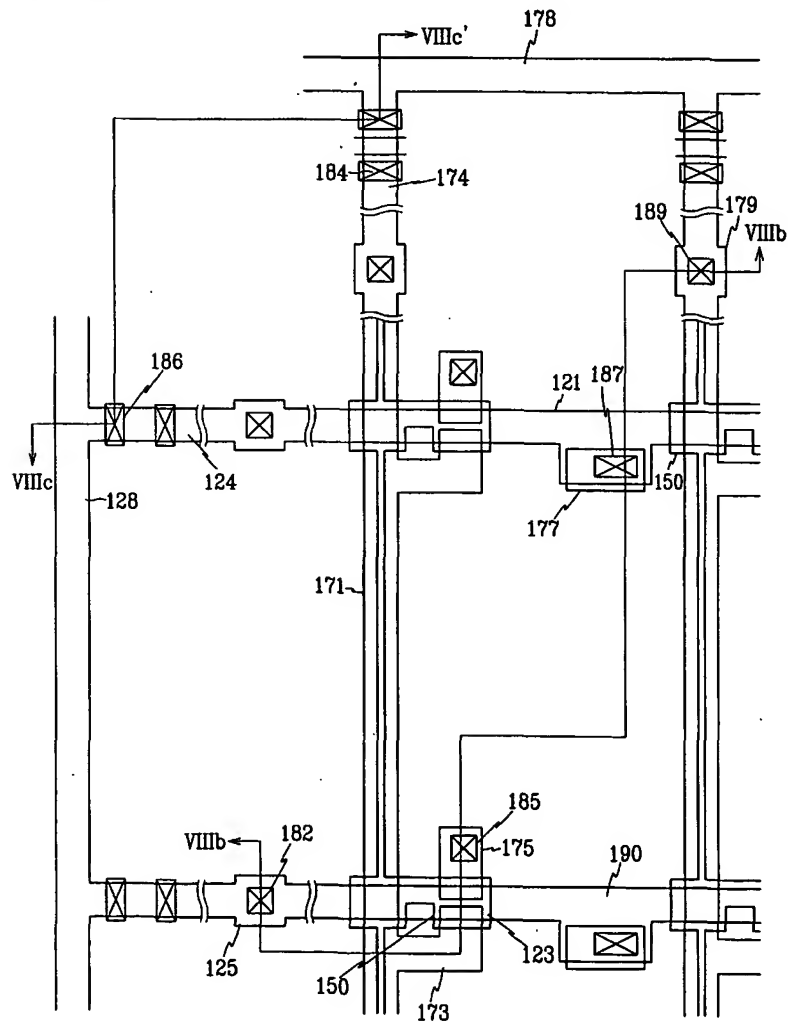
【도 7b】



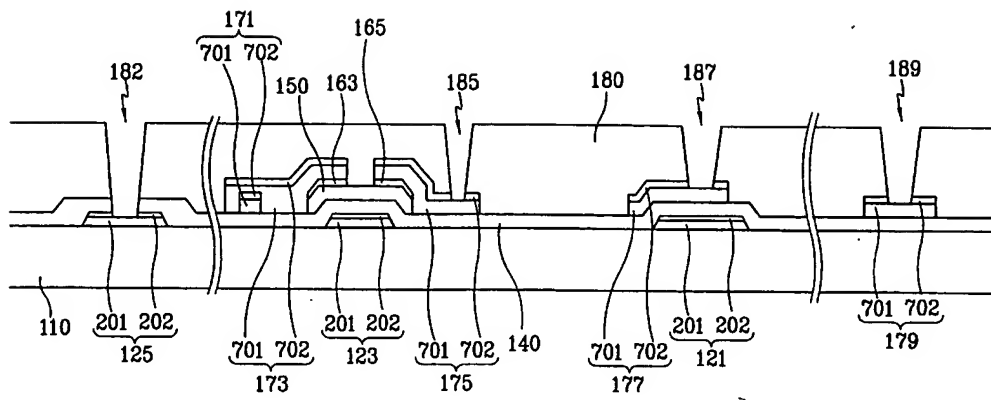
【도 7c】



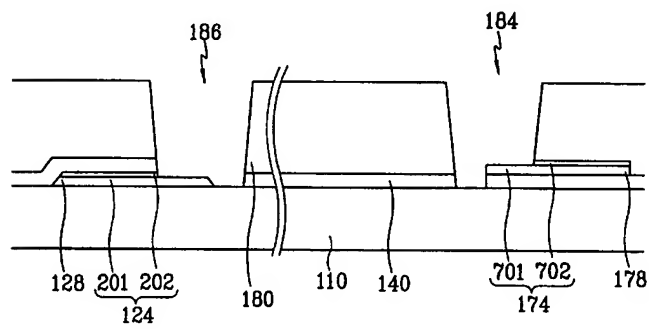
【도 8a】



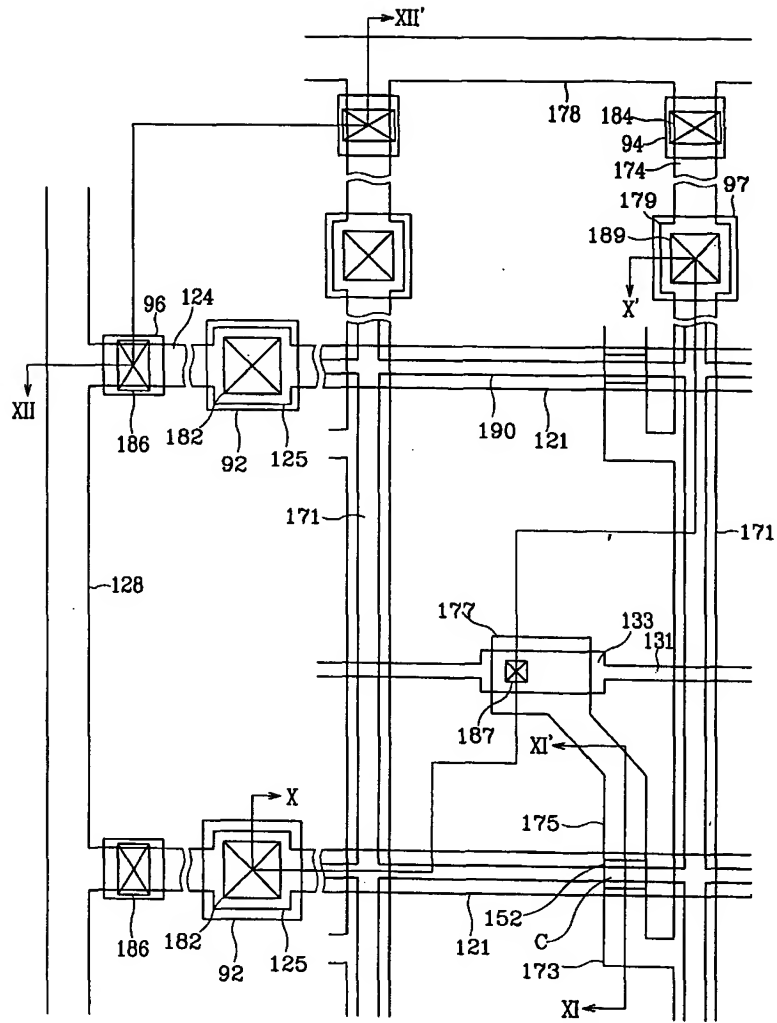
【도 8b】



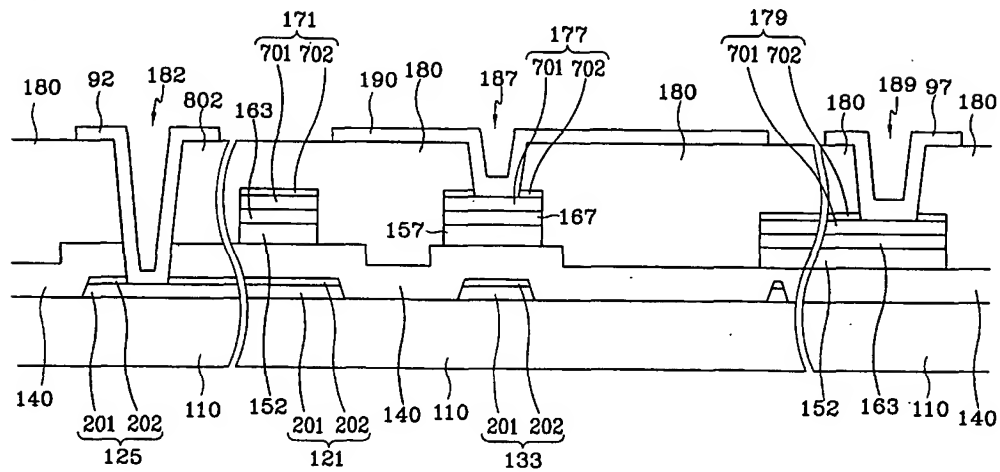
【도 8c】



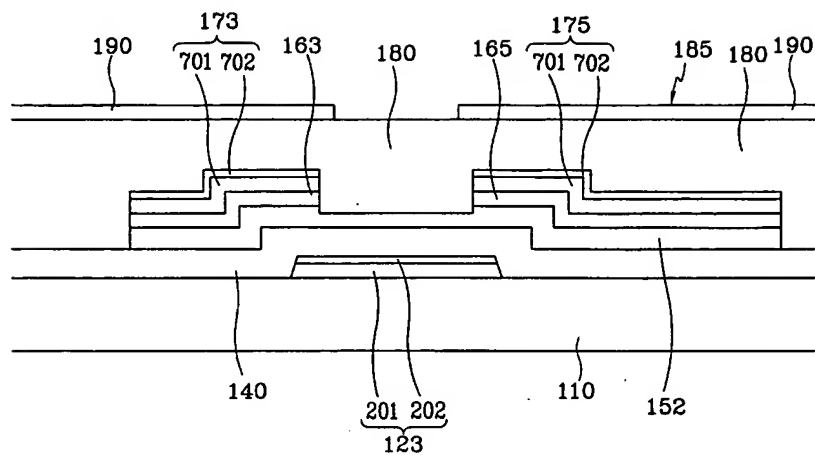
【도 9】



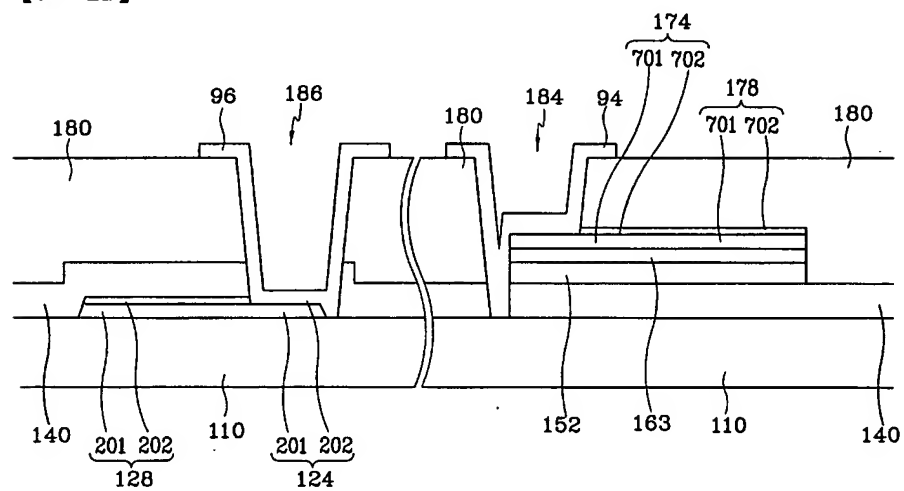
【도 10】



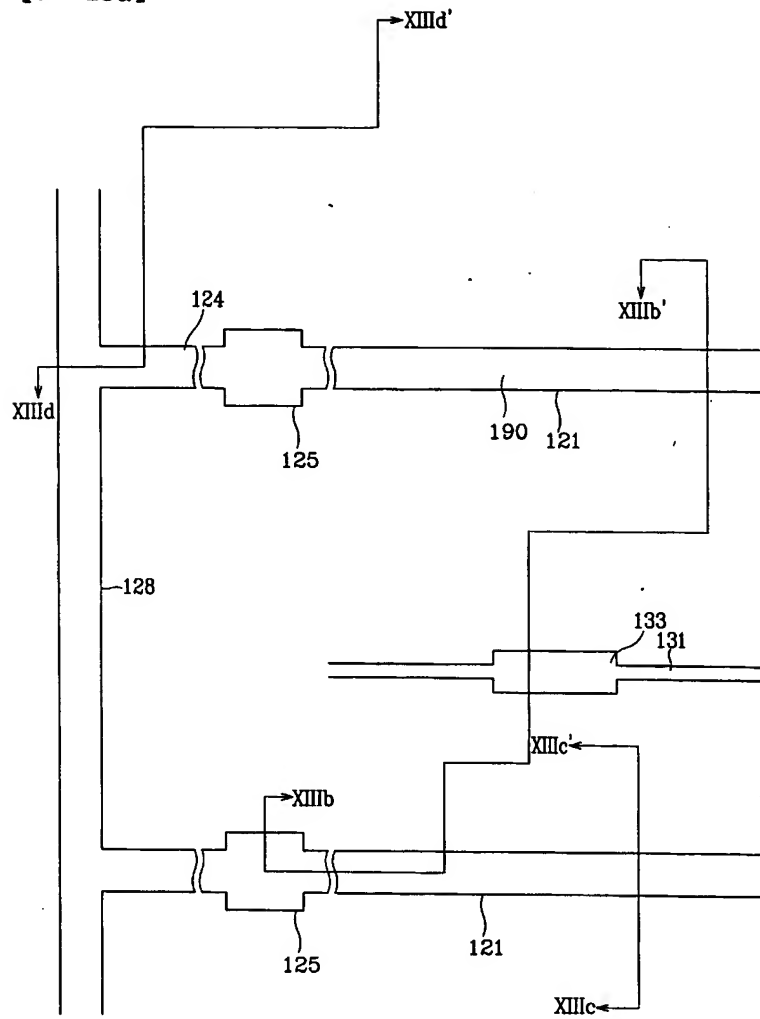
【도 11】



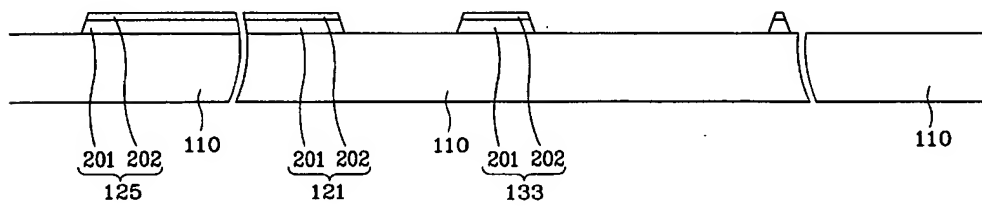
【도 12】



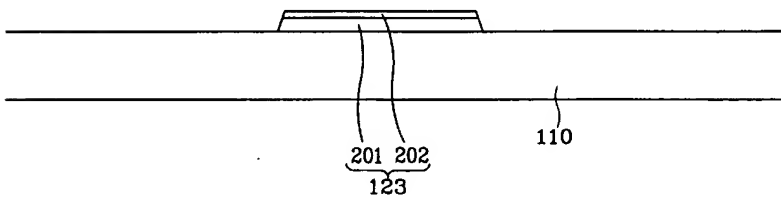
【도 13a】



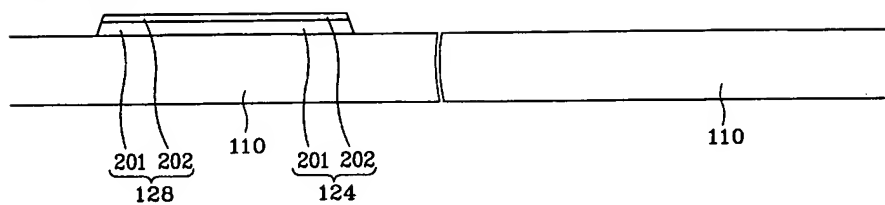
【도 13b】



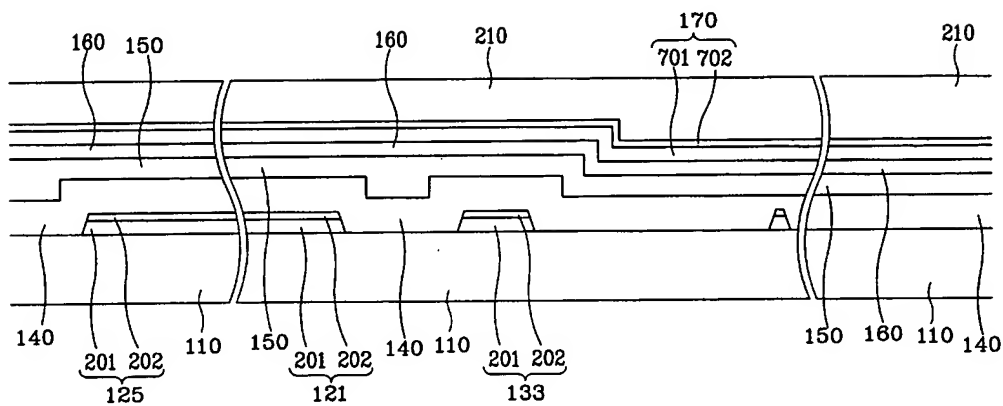
【도 13c】



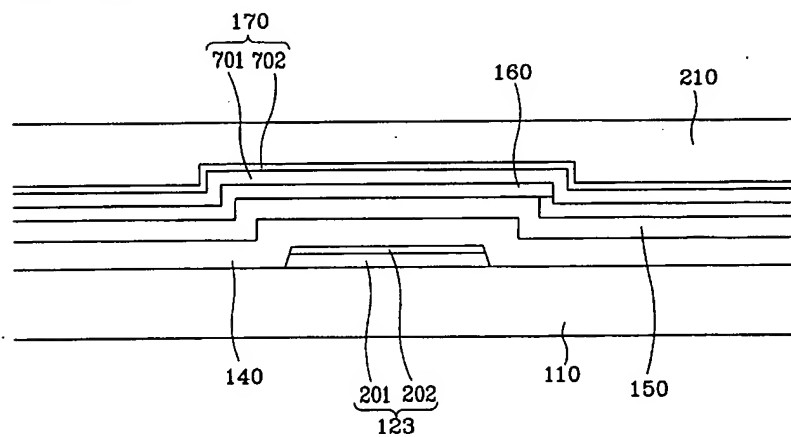
【도 13d】



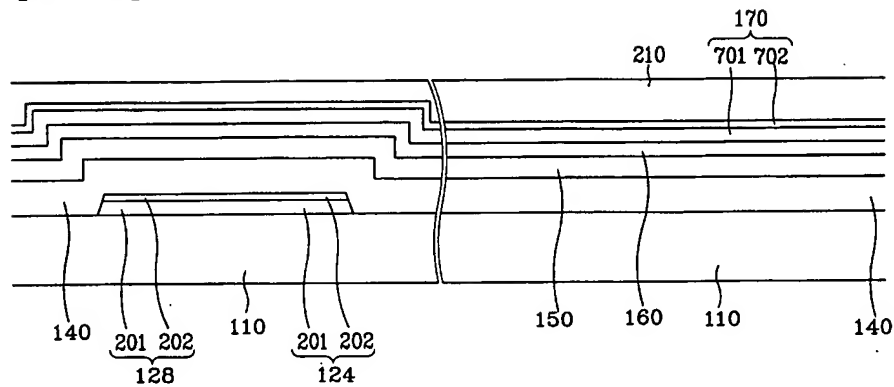
【도 14a】



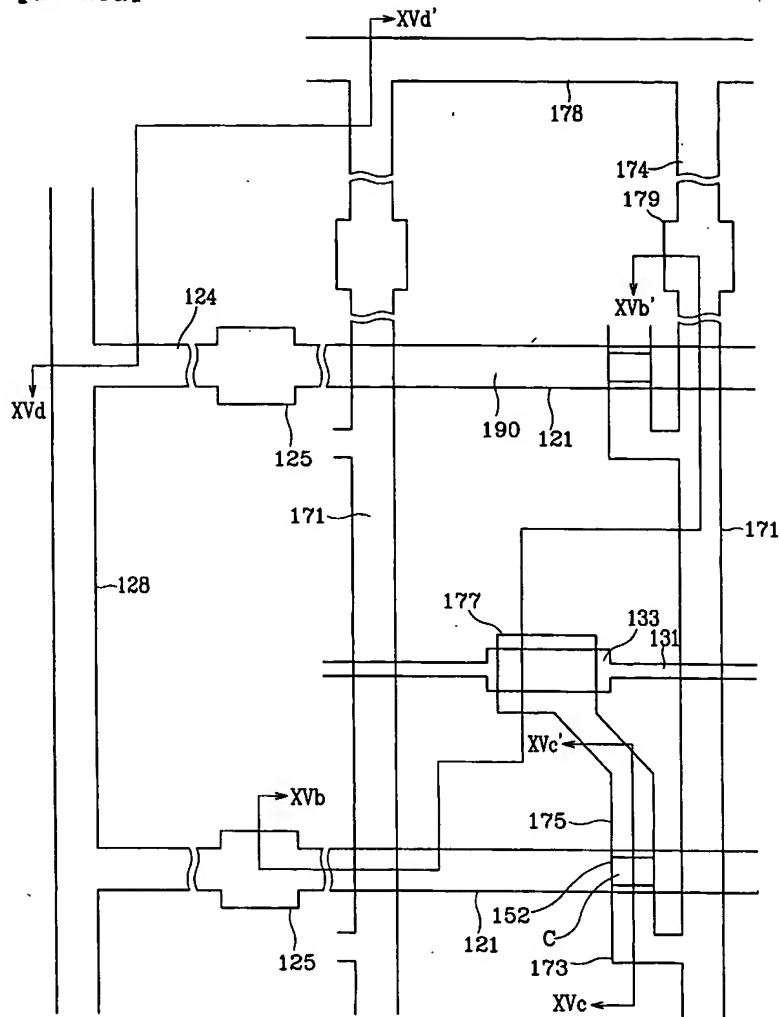
【도 14b】



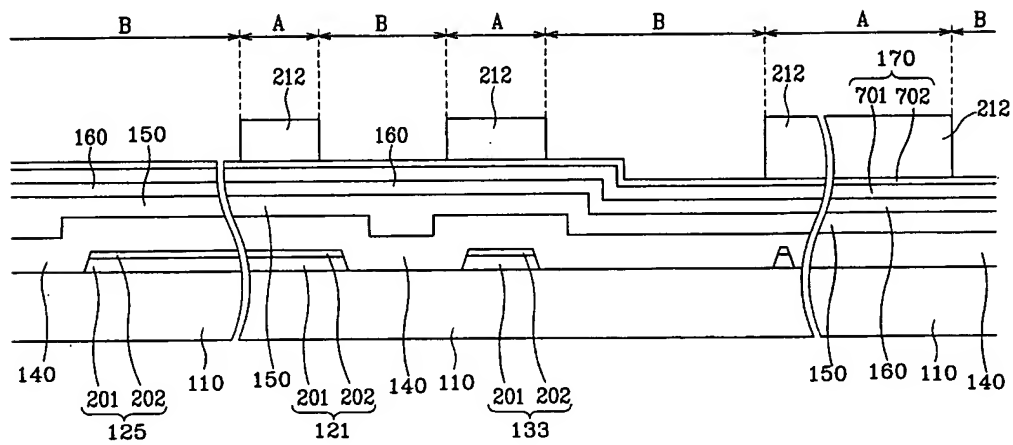
【도 14c】



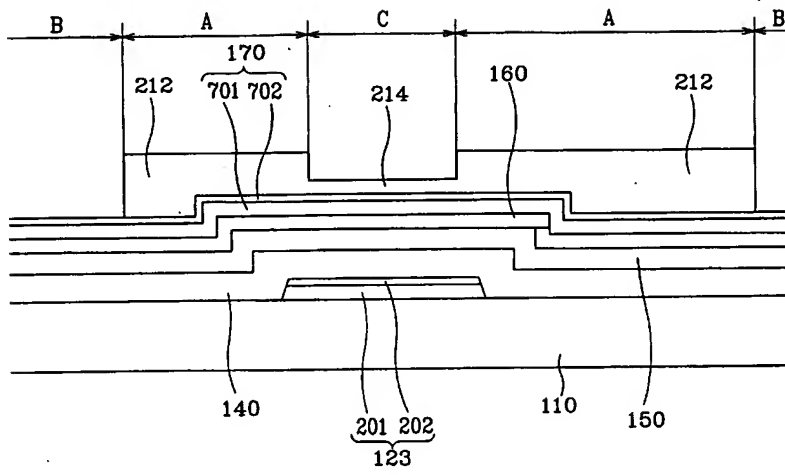
【도 15a】



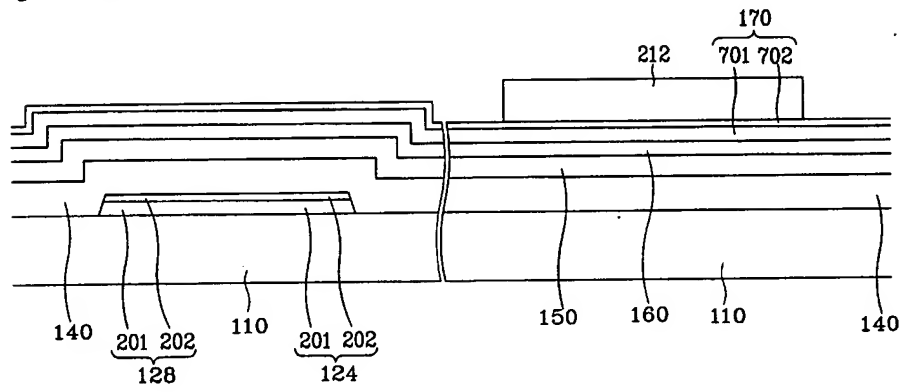
【도 15b】



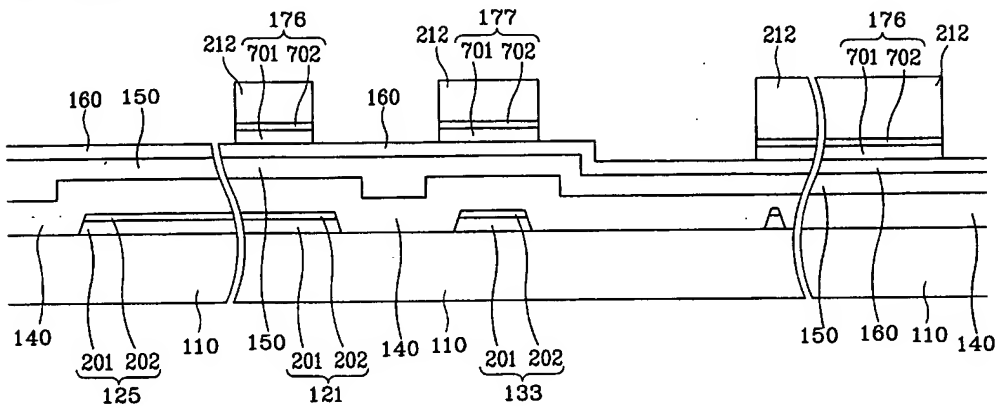
【도 15c】



【도 15d】

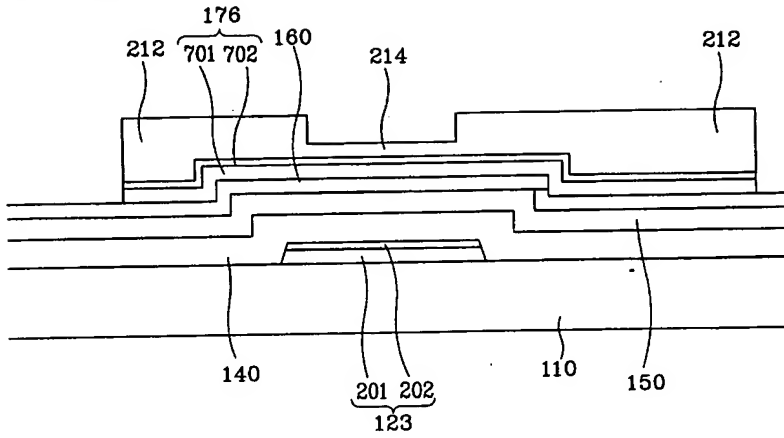


【도 16a】

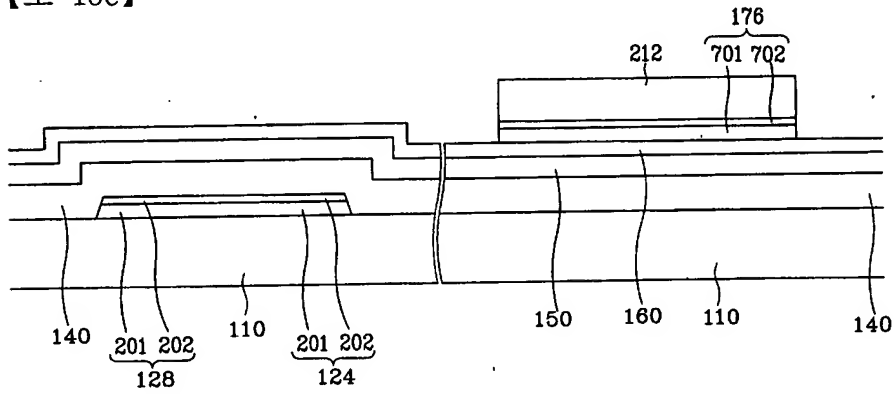




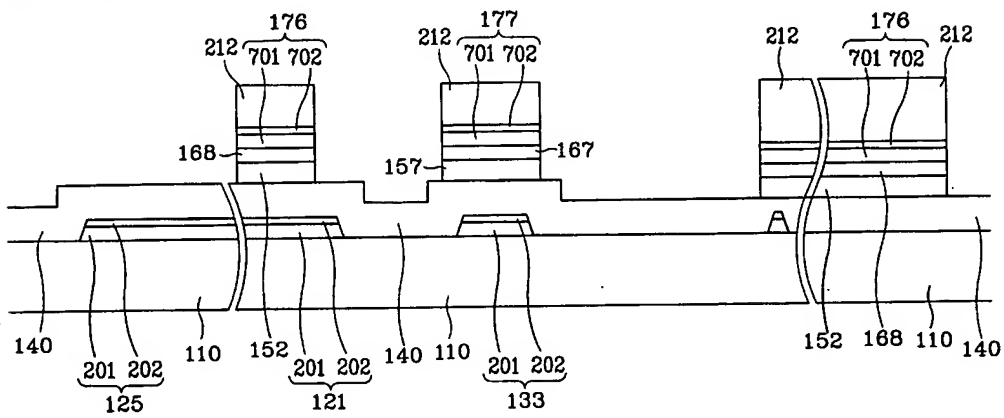
【도 16b】



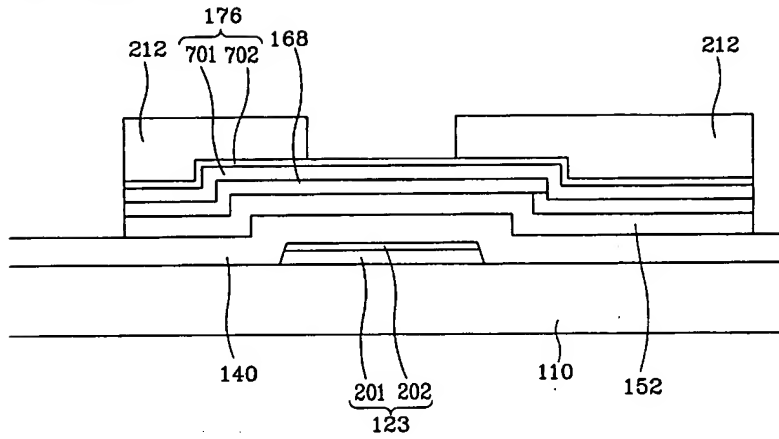
【도 16c】



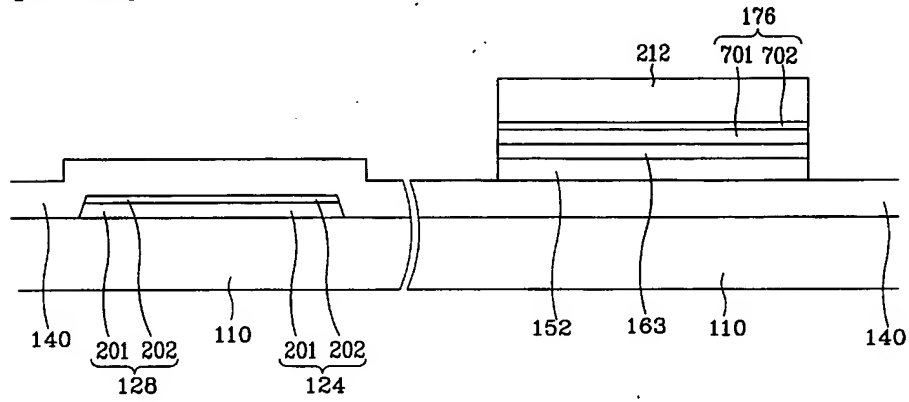
【도 17a】



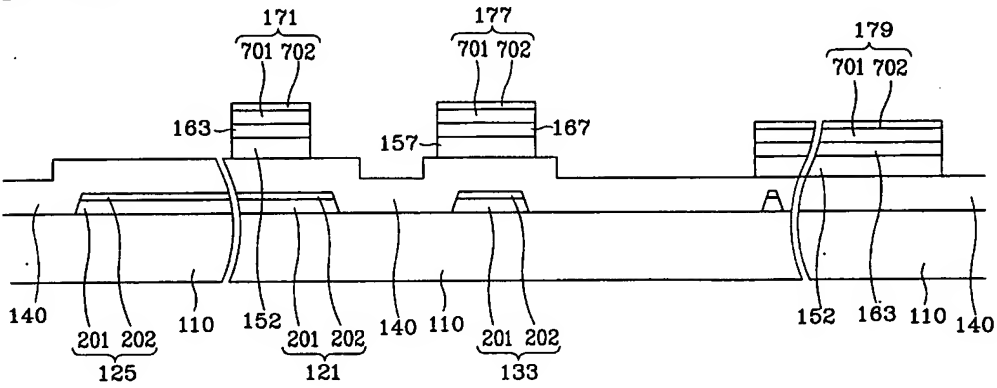
【도 17b】



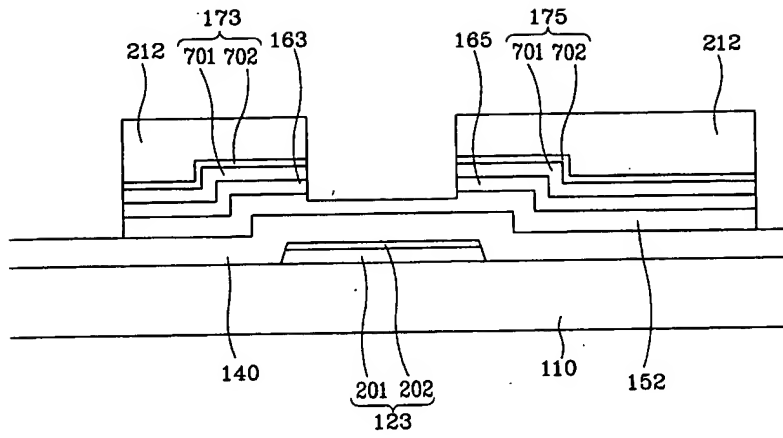
【도 17c】



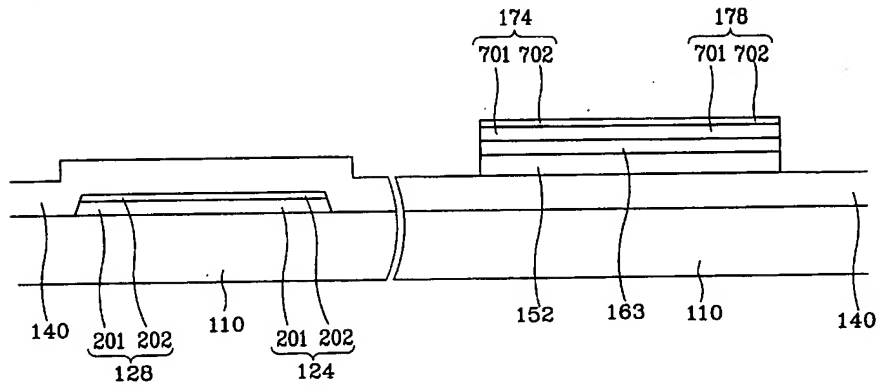
【도 18a】



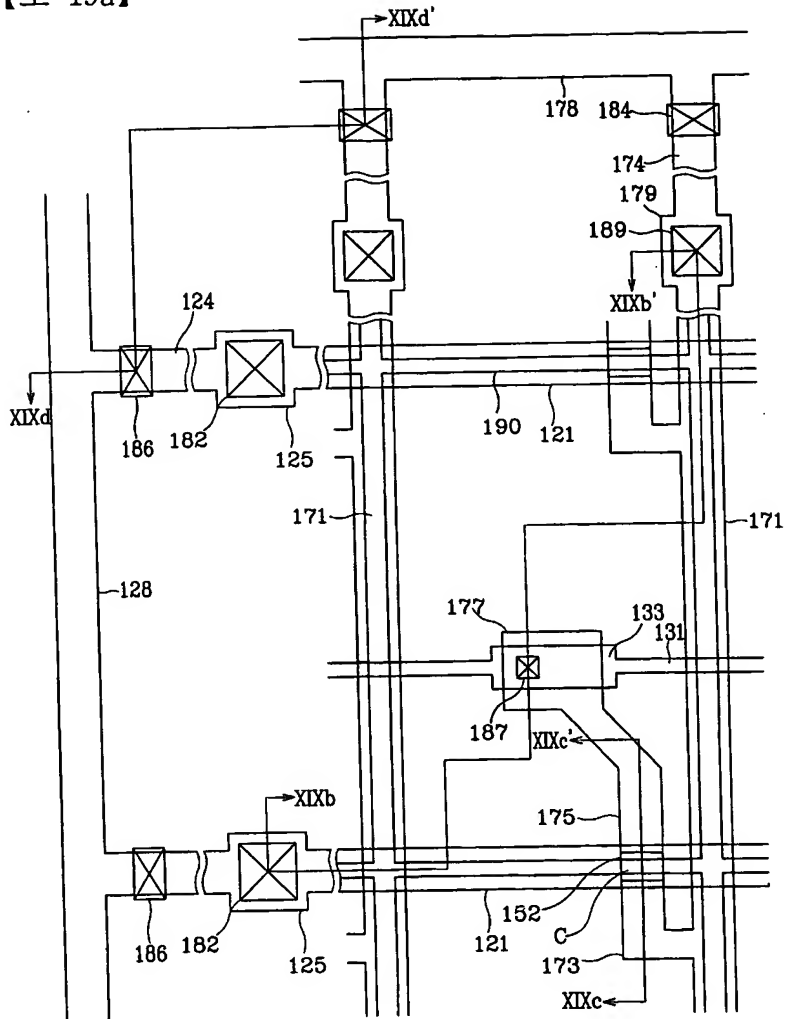
【도 18b】



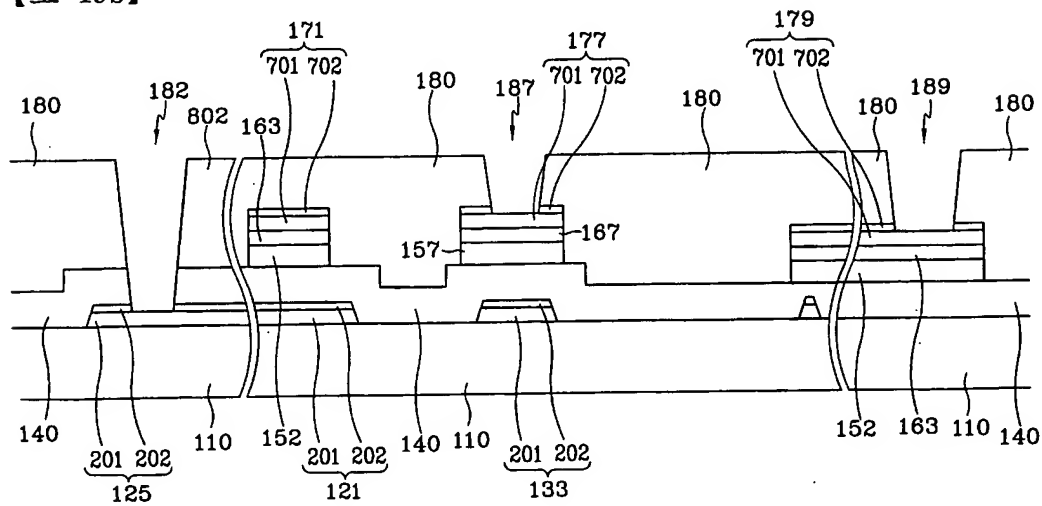
【도 18c】



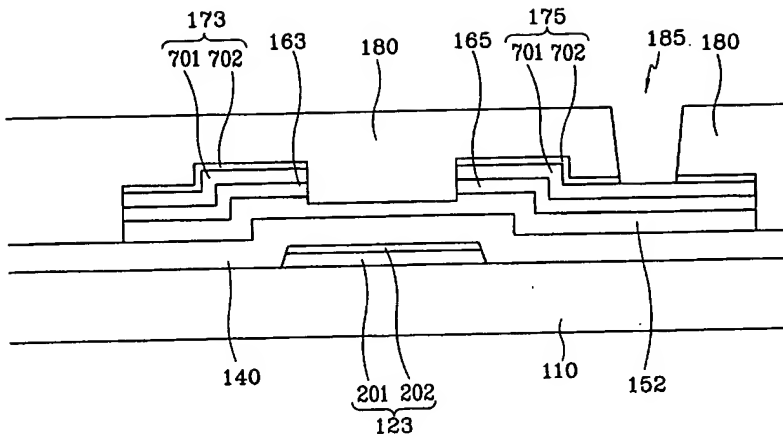
【도 19a】



【도 19b】



【도 19c】



【도 19d】

